

日 本 国 特 許 庁
JAPAN PATENT OFFICE

J1040 U.S. PTO
10/026406
12/21/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2000年12月26日

出 願 番 号

Application Number:

特願2000-394075

出 願 人

Applicant(s):

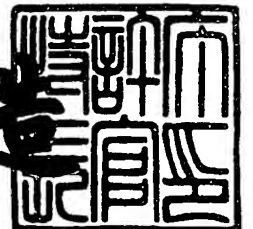
株式会社半導体エネルギー研究所

CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年10月19日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



【書類名】 特許願

【整理番号】 P005386

【提出日】 平成12年12月26日

【あて先】 特許庁長官 殿

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 山崎 舜平

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 小山 潤

【特許出願人】

【識別番号】 000153878

【氏名又は名称】 株式会社半導体エネルギー研究所

【代表者】 山崎 舜平

【手数料の表示】

【予納台帳番号】 002543

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 発光装置及び該発光装置を用いた電子機器

【特許請求の範囲】

【請求項 1】

発光素子と、デジタルビデオ信号を記憶する手段と、前記記憶されたデジタルビデオ信号が有する画像情報に基づいて前記発光素子の発光する期間を定める手段とを、画素内に有することを特徴とする発光装置。

【請求項 2】

発光素子と、デジタルビデオ信号を記憶する手段と、前記記憶されたデジタルビデオ信号が有する画像情報に基づいて前記発光素子の発光する期間を定める手段とを画素内に有する発光装置であって、

前記発光素子が発光する期間は、1 フレーム期間において連続して出現することを特徴とする発光装置。

【請求項 3】

n 個の第 1 メモリと、n 個の第 2 メモリと、表示信号生成部と、カウンタ回路と、発光素子とを有する画素が複数設けられた発光装置であって、

前記 n 個の第 1 メモリのそれぞれに、n ビットのデジタルビデオ信号の各ビットが順に書き込まれ、

前記 n 個の第 1 メモリのそれぞれに書き込まれた n ビットのデジタルビデオ信号の各ビットは、前記 n 個の第 2 メモリのそれぞれに一齐に書き込まれ、

前記 n 個の第 2 メモリのそれぞれに書き込まれた n ビットのデジタルビデオ信号の各ビットは、前記表示信号生成部に入力され、

リセット信号によって前記カウンタ回路から周波数の異なる n 個のカウンタ信号の出力が開始され、

前記 n 個のカウンタ信号は前記表示信号生成部に入力され、

前記 n 個のカウンタ信号の出力が開始されてから、前記表示信号生成部に入力された n ビットのデジタルビデオ信号の各ビットが有する情報と、n 個のカウンタ信号のそれぞれが有する情報とが一致するまでの期間のみ、前記発光素子が発光することを特徴とする発光装置。

【請求項 4】

n 個の第 1 メモリと、n 個の第 2 メモリと、n 個の第 1 スイッチング用 T F T と、n 個の第 2 スイッチング用 T F T と、表示信号生成部と、カウンタ回路と、発光素子とを有する画素が複数設けられた発光装置であって、

前記 n 個の第 1 スイッチング用 T F T が順にオンになることで、前記 n 個の第 1 メモリのそれぞれに、n ビットのデジタルビデオ信号の各ビットが順に書き込まれ、

前記 n 個の第 2 スイッチング用 T F T が一斉にオンになることで、前記 n 個の第 1 メモリのそれぞれに書き込まれた n ビットのデジタルビデオ信号の各ビットは、前記 n 個の第 2 メモリのそれぞれに一斉に書き込まれ、

前記 n 個の第 2 メモリのそれぞれに書き込まれた n ビットのデジタルビデオ信号の各ビットは、前記表示信号生成部に入力され、

リセット信号によって前記カウンタ回路から周波数の異なる n 個のカウンタ信号の出力が開始され、

前記 n 個のカウンタ信号は前記表示信号生成部に入力され、

前記 n 個のカウンタ信号の出力が開始されてから、前記表示信号生成部に入力された n ビットのデジタルビデオ信号の各ビットが有する情報と、n 個のカウンタ信号のそれぞれが有する情報とが一致するまでの期間のみ、前記発光素子が発光することを特徴とする発光装置。

【請求項 5】

n 個の第 1 メモリと、n 個の第 2 メモリと、n 個の第 1 スイッチング用 T F T と、n 個の第 2 スイッチング用 T F T と、表示信号生成部と、カウンタ回路と、電流制御用 T F T と、発光素子とを有する画素が複数設けられた発光装置であって、

前記 n 個の第 1 スイッチング用 T F T が順にオンになることで、前記 n 個の第 1 メモリのそれぞれに、n ビットのデジタルビデオ信号の各ビットが順に書き込まれ、

前記 n 個の第 2 スイッチング用 T F T が一斉にオンになることで、前記 n 個の第 1 メモリのそれぞれに書き込まれた n ビットのデジタルビデオ信号の各ビット

は、前記 n 個の第 2 メモリのそれぞれに一斉に書き込まれ、

前記 n 個の第 2 メモリのそれぞれに書き込まれた n ビットのデジタルビデオ信号の各ビットは、前記表示信号生成部に入力され、

リセット信号によって前記カウンタ回路から周波数の異なる n 個のカウンタ信号の出力が開始され、

前記 n 個のカウンタ信号は前記表示信号生成部に入力され、

前記 n 個のカウンタ信号の出力が開始されてから、前記表示信号生成部に入力された n ビットのデジタルビデオ信号の各ビットが有する情報と、 n 個のカウンタ信号のそれぞれが有する情報とが一致するまでの期間のみ、前記表示信号生成部から出力される表示信号によって前記電流制御用 T F T がオンになり、

前記電流制御用 T F T がオンになることで、前記発光素子が発光することを特徴とする発光装置。

【請求項 6】

請求項 5 において、前記電流制御用 T F T が n チャネル型 T F T であることを特徴とする発光装置。

【請求項 7】

n 個の第 1 メモリと、 n 個の第 2 メモリと、表示信号生成部と、カウンタ回路と、発光素子とを有する画素が複数設けられた発光装置であって、

前記 n 個の第 1 メモリのそれぞれに、 n ビットのデジタルビデオ信号の各ビットが順に書き込まれ、

前記 n 個の第 1 メモリのそれぞれに書き込まれた n ビットのデジタルビデオ信号の各ビットは、前記 n 個の第 2 メモリのそれぞれに一斉に書き込まれ、

前記 n 個の第 2 メモリのそれぞれに書き込まれた n ビットのデジタルビデオ信号の各ビットは、前記表示信号生成部に入力され、

リセット信号によって前記カウンタ回路から周波数の異なる n 個のカウンタ信号の出力が開始され、

前記 n 個のカウンタ信号は前記表示信号生成部に入力され、

前記表示信号生成部は、前記表示信号生成部に入力される前記 n ビットのデジタルビデオ信号の各ビットと、前記表示信号生成部に入力される n 個のカウンタ

信号とが有する情報を比較し、合致するかしないか判断する第 1 の機能と、

前記 n 個のカウンタ信号の出力が開始されてから、前記表示信号生成部に入力された n ビットのデジタルビデオ信号の各ビットが有する情報と、 n 個のカウンタ信号のそれぞれが有する情報とが合致するまでの期間のみ、前記発光素子を発光させる第 2 の機能とを有することを特徴とする発光装置。

【請求項 8】

n 個の第 1 メモリと、 n 個の第 2 メモリと、 n 個の第 1 スイッチング用 T F T と、 n 個の第 2 スイッチング用 T F T と、表示信号生成部と、カウンタ回路と、発光素子とを有する画素が複数設けられた発光装置であって、

前記 n 個の第 1 スイッチング用 T F T が順にオンになることで、前記 n 個の第 1 メモリのそれぞれに、 n ビットのデジタルビデオ信号の各ビットが順に書き込まれ、

前記 n 個の第 2 スイッチング用 T F T が一齐にオンになることで、前記 n 個の第 1 メモリのそれぞれに書き込まれた n ビットのデジタルビデオ信号の各ビットは、前記 n 個の第 2 メモリのそれぞれに一齐に書き込まれ、

前記 n 個の第 2 メモリのそれぞれに書き込まれた n ビットのデジタルビデオ信号の各ビットは、前記表示信号生成部に入力され、

リセット信号によって前記カウンタ回路から周波数の異なる n 個のカウンタ信号の出力が開始され、

前記 n 個のカウンタ信号は前記表示信号生成部に入力され、

前記表示信号生成部は、前記表示信号生成部に入力される前記 n ビットのデジタルビデオ信号の各ビットと、前記表示信号生成部に入力される n 個のカウンタ信号とが有する情報を比較し、合致するかしないか判断する第 1 の機能と、

前記 n 個のカウンタ信号の出力が開始されてから、前記表示信号生成部に入力された n ビットのデジタルビデオ信号の各ビットが有する情報と、 n 個のカウンタ信号のそれぞれが有する情報とが合致するまでの期間のみ、前記発光素子を発光させる第 2 の機能とを有することを特徴とする発光装置。

【請求項 9】

n 個の第 1 メモリと、 n 個の第 2 メモリと、 n 個の第 1 スイッチング用 T F T

と、 n 個の第 2 スイッチング用 T F T と、表示信号生成部と、カウンタ回路と、電流制御用 T F T と、発光素子とを有する画素が複数設けられた発光装置であって、

前記 n 個の第 1 スイッチング用 T F T が順にオンになることで、前記 n 個の第 1 メモリのそれぞれに、 n ビットのデジタルビデオ信号の各ビットが順に書き込まれ、

前記 n 個の第 2 スイッチング用 T F T が一斉にオンになることで、前記 n 個の第 1 メモリのそれぞれに書き込まれた n ビットのデジタルビデオ信号の各ビットは、前記 n 個の第 2 メモリのそれぞれに一斉に書き込まれ、

前記 n 個の第 2 メモリのそれぞれに書き込まれた n ビットのデジタルビデオ信号の各ビットは、前記表示信号生成部に入力され、

リセット信号によって前記カウンタ回路から周波数の異なる n 個のカウンタ信号の出力が開始され、

前記 n 個のカウンタ信号は前記表示信号生成部に入力され、

前記表示信号生成部は、前記表示信号生成部に入力される前記 n ビットのデジタルビデオ信号の各ビットと、前記表示信号生成部に入力される n 個のカウンタ信号とが有する情報を比較し、合致するかしないか判断する第 1 の機能と、

前記 n 個のカウンタ信号の出力が開始されてから、前記表示信号生成部に入力された n ビットのデジタルビデオ信号の各ビットが有する情報と、 n 個のカウンタ信号のそれぞれが有する情報とが合致するまでの期間のみ、前記電流制御用 T F T をオンにする第 2 の機能とを有し、

前記電流制御用 T F T がオンになることで、前記発光素子が発光することを特徴とする発光装置。

【請求項 1 0】

請求項 9 において、前記電流制御用 T F T が n チャネル型 T F T であることを特徴とする発光装置。

【請求項 1 1】

請求項 3 乃至請求項 1 0 のいずれか 1 項において、

前記表示信号生成部は N O R と、 n 個のエクスクルーシブ O R とを有しており

前記 n 個のエクスクルーシブORがそれぞれ有する2つの入力端子のうち、一方の入力端子には、前記表示信号生成部に入力される前記 n ビットのデジタルビデオ信号の各ビットが入力され、もう一方の入力端子には前記 n 個のカウンタ信号が入力され、

前記 n 個のエクスクルーシブORがそれぞれ有する出力端子は、全て前記 NORの入力端子に接続されており、

前記 NORの出力端子から出力される信号の有する情報によって、前記表示信号生成部に入力される前記 n ビットのデジタルビデオ信号の各ビットと、前記表示信号生成部に入力される n 個のカウンタ信号のそれぞれとが有する情報が合致するかしないかが判断されることを特徴とする発光装置。

【請求項 1 2】

請求項 3 乃至請求項 1 1 のいずれか 1 項において、

前記表示信号生成部は R-S フリップフロップ回路を有しており、

前記 R-S フリップフロップ回路が有する2つの入力端子のうち、いずれか一方の入力端子にはリセット信号が入力され、もう一方の入力端子には、前記表示信号生成部に入力される前記 n ビットのデジタルビデオ信号の各ビットと、前記表示信号生成部に入力される n 個のカウンタ信号のそれぞれとが有する情報が合致するかしないかの情報を有する信号が入力され、

前記 R-S フリップフロップ回路が有する出力端子から出力される信号によって、前記 n 個のカウンタ信号の出力が開始されてから、前記表示信号生成部に入力された n ビットのデジタルビデオ信号の各ビットが有する情報と、 n 個のカウンタ信号のそれぞれが有する情報とが合致するまでの期間のみ、前記発光素子を発光させることを特徴とする発光装置。

【請求項 1 3】

請求項 3 乃至請求項 1 2 のいずれか 1 項において、前記第 1 メモリまたは前記第 2 メモリが SRAMであることを特徴とする発光装置。

【請求項 1 4】

請求項 3 乃至請求項 1 3 のいずれか 1 項において、前記カウンタ回路にはクロ

ック信号が入力されており、前記 n 個のカウンタ信号の周波数は、高いほうから順に、前記クロック信号の周波数の $1/2$ 、 $1/2^2$ 、 \dots 、 $1/2^n$ に相当することを特徴とする発光装置。

【請求項 15】

請求項 3 乃至請求項 14 のいずれか 1 項において、前記発光装置を有することを特徴とする電子機器。

【請求項 16】

請求項 15 において、エレクトロルミネッセンス表示装置、デジタルスチルカメラ、ノート型パーソナルコンピュータ、モバイルコンピュータ、画像再生装置、ゴーグル型ディスプレイ、ビデオカメラまたは携帯電話であることを特徴とする電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、基板上に形成された発光素子を、該基板とカバー材の間に封入した表示用パネルに関する。また、該表示用パネルに IC を実装した表示用モジュールに関する。なお本明細書において、表示用パネル及び表示用モジュールを発光装置と総称する。本発明はさらに、該発光装置を用いた電子機器に関する。

【0002】

【従来の技術】

発光素子は、自ら発光するため視認性が高く、液晶表示装置 (LCD) で必要なバックライトが要らず薄型化に最適であると共に、視野角にも制限が無い。そのため、近年、発光素子を用いた発光装置は CRT や LCD に代わる表示装置として注目されている。

【0003】

発光素子は、電場を加えることで発生するルミネッセンス (Electro Luminescence) が得られる有機化合物を含む層 (以下、有機化合物層と記す) と、陽極層と、陰極層とを有する。有機化合物におけるルミネッセンスには、一重項励起状態から基底状態に戻る際の発光 (蛍光) と三重項励起状態から基底状態に戻る際

の発光（リン光）とがあるが、本発明の発光装置では、蛍光と燐光の両方、またはいずれか一方を用いていても良い。

【0004】

なお、本明細書では、発光素子の陽極と陰極の間に設けられた全ての層を有機化合物層と定義する。有機化合物層には具体的に、発光層、正孔注入層、電子注入層、正孔輸送層、電子輸送層等が含まれる。基本的に発光素子は、陽極／発光層／陰極が順に積層された構造を有しており、この構造に加えて、陽極／正孔注入層／発光層／陰極や、陽極／正孔注入層／発光層／電子輸送層／陰極等の順に積層した構造を有していることもある。

【0005】

また本明細書において、発光素子が発光することを、発光素子が駆動すると呼ぶ。また、本明細書中では、陽極、有機化合物層及び陰極で形成される素子を発光素子と呼ぶ。

【0006】

ところで、発光素子を有する発光装置の駆動方法には、主にアナログ駆動とデジタル駆動とがある。デジタル駆動は、近年の放送電波のデジタル化に対応して、画像情報を有するデジタルのビデオ信号（デジタルビデオ信号）をアナログに変換せずにそのまま用いることが可能なため、発光装置の駆動方法として有望視されている。

【0007】

デジタルビデオ信号が有する2値の電圧により階調表示を行う駆動方法には、面積分割駆動法と、時間分割駆動法とが挙げられる。

【0008】

面積分割駆動法とは、1画素を複数の副画素に分割し、各副画素をデジタルビデオ信号に基づいて独立に駆動させることによって階調表示を行う駆動法である。この面積分割駆動法は、1画素が複数の副画素に分割されていなければならない、さらに各副画素を独立して駆動するために、各副画素にそれぞれ対応する画素電極を設ける必要がある。そのために画素の構造が複雑になるという不都合が生じる。

【0009】

一方、時間分割駆動法とは、画素の点灯する長さを制御することで階調表示を行う駆動法である。具体的には、1フレーム期間を複数のサブフレーム期間に分割する。そして、各サブフレーム期間において、デジタルビデオ信号により各画素が点灯するかしないかが選択される。1フレーム期間中に出現する全てのサブフレーム期間の内、画素が点灯したサブフレーム期間の長さを積算することで、該画素の階調が求められる。

【0010】

一般的に、有機化合物層は液晶などに比べて応答速度が速いため、発光素子は時間分割駆動に適している。

【0011】

【発明が解決しようとする課題】

発光装置の画素部には複数の画素が設けられている。図16に、一般的な発光装置の画素9004の回路図を示す。

【0012】

画素9004は、ソース信号線9005の1つと、電源供給線9006の1つと、ゲート信号線9007の1つとを有している。また画素9004はスイッチング用TFT9008と電流制御用TFT9009とを有している。

【0013】

スイッチング用TFT9008のゲート電極は、ゲート信号線9007に接続されている。スイッチング用TFT9008のソース領域とドレイン領域は、一方がソース信号線9005に、もう一方が電流制御用TFT9009のゲート電極、各画素が有するコンデンサ9010にそれぞれ接続されている。

【0014】

コンデンサ9010はスイッチング用TFT9008がオフの時、電流制御用TFT9009のゲート電圧（ゲート電極とソース領域間の電位差）を保持するために設けられている。

【0015】

また、電流制御用TFT9009のソース領域とドレイン領域は、一方が電源

供給線 9 0 0 6 に接続され、もう一方は発光素子 9 0 1 1 に接続される。電源供給線 9 0 0 6 はコンデンサ 9 0 1 0 に接続されている。

【 0 0 1 6 】

発光素子 9 0 1 1 は陽極と陰極と、陽極と陰極の間に設けられた有機化合物層とからなる。陽極が電流制御用 T F T 9 0 0 9 のソース領域またはドレイン領域と接続している場合、陽極が画素電極、陰極が対向電極となる。逆に陰極が電流制御用 T F T 9 0 0 9 のソース領域またはドレイン領域と接続している場合、陰極が画素電極、陽極が対向電極となる。

【 0 0 1 7 】

発光素子 9 0 1 1 の対向電極には所定の電位（対向電位）が与えられている。また電源供給線 9 0 0 6 にも所定の電位（電源電位）が与えられている。電源電位と対向電位は、表示装置の外付けの I C に設けられた電源によって与えられる。

【 0 0 1 8 】

次に、図 1 6 に示した画素の動作について説明する。図 1 6 に示した発光装置の動作は、書き込み期間と表示期間とに分けて説明することができる。

【 0 0 1 9 】

まず、書き込み期間において、対向電位と電源電位とは同じ高さに保たれている。そしてゲート信号線 9 0 0 7 に入力された選択信号によって、スイッチング用 T F T 9 0 0 8 がオンになる。そして、ソース信号線 9 0 0 5 に入力された画像情報を有する n ビットのデジタル信号（以下、デジタルビデオ信号と呼ぶ）のうち、1 ビット分のデジタルビデオ信号が、スイッチング用 T F T 9 0 0 8 を介して電流制御用 T F T 9 0 0 9 のゲート電極に入力される。電流制御用 T F T 9 0 0 9 のゲート電極に入力されたデジタルビデオ信号が有する 1 または 0 の情報によって、電流制御用 T F T 9 0 0 9 のスイッチングは制御される。

【 0 0 2 0 】

そして、全ての画素において 1 ビット分のデジタルビデオ信号が電流制御用 T F T 9 0 0 9 のゲート電極に入力されると、書き込み期間が終了し、表示期間が開始される。

【 0 0 2 1 】

表示期間において、対向電位と電源電位の間に電位差が生じる。よって、デジタルビデオ信号によって電流制御用 T F T 9 0 0 9 がオフになっている場合、電源供給線 9 0 0 6 の電位が発光素子 9 0 1 1 の有する画素電極に与えられないので、発光素子 9 0 1 1 は発光しない。また逆に電流制御用 T F T 9 0 0 9 がオンになっている場合、電源電位が発光素子 9 0 1 1 の有する画素電極に与えられ、対向電位と電源電位との電位差により発光素子 9 0 1 1 が発光する。

【 0 0 2 2 】

上記動作を全てのビットのデジタルビデオ信号について行うことで、書き込み期間と表示期間が交互に出現する。そして発光素子が発光した全ての表示期間の長さを積算することにより、当該画素の表示する階調が決まる。

【 0 0 2 3 】

図 1 7 に、図 1 6 に示した画素を有する発光装置の、1 フレーム期間における書き込み期間と表示期間の出現するタイミングを示す。横軸は時間を示しており、縦軸は当該画素の発光素子の輝度を示している。なお図 1 7 では説明を容易にするために、4 ビットのデジタルビデオ信号を用いて駆動する場合で、なおかつ、全ての表示期間において発光素子が発光している場合について示している。

【 0 0 2 4 】

4 ビットのデジタルビデオ信号の各ビットに対応して、1 フレーム期間に 4 つの書き込み期間 T a 1 ~ T a 4 と、4 つの表示期間 T r 1 ~ T r 4 とが出現している。

【 0 0 2 5 】

書き込み期間において発光素子 9 0 1 1 は発光しないので、全ての書き込み期間 T a 1 ~ T a 4 における発光素子 9 0 1 1 の輝度は 0 である。

【 0 0 2 6 】

表示期間 T r 1 ~ T r 4 のそれぞれが開始されると、当該画素の有する発光素子 9 0 1 1 が発光している状態（発光状態）になる。そして、表示期間 T r 1 ~ T r 4 のそれぞれが終了すると、発光素子 9 0 1 1 は発光していない状態（非発光状態）になる。

【0027】

図17では、1つの画素における表示期間と書き込み期間の出現するタイミングを示しているが、画素部が有する全ての画素において、図17に示した動作が行われる場合について考察する。

【0028】

全ての画素において図17に示した動作が行われると、書き込み期間が終了して表示期間が開始される際に、全ての画素の発光素子9011に一斉に電流が流れる。よって電源供給線9006に流れる電流が急激に増大する。

【0029】

電源供給線9006には配線抵抗が存在するため、一時的に各画素9004の発光素子9011への電流の供給が追いつかなくなり、表示期間開始直後において、発光素子9011の輝度が所望の輝度よりも低くなる。図17では、発光素子9011の理想的な輝度を実線で、実際の輝度を点線で示している。

【0030】

この現象は、画素部に設けられた全ての画素を発光させる場合に限られるわけではなく、画素部に設けられた画素のうち、複数の画素を発光させる場合において、程度の差はあれ、起こりうる現象であった。

【0031】

そして、図17に示した4ビットのデジタルビデオ信号対応する駆動方法では、1フレーム期間において、書き込み期間が終了して表示期間が開始される瞬間が4回現れる。そしてそのたび毎に発光素子の輝度が一時的に低下し、画面がちらついたりしていた。

【0032】

また図17に示したのとは別の駆動方法として、電源電位と対向電位を常に一定にする方法がある。この駆動方法の場合、書き込み期間においても発光素子は発光しているので、電流制御用TFTが常にオンになっていれば、複数の画素の発光素子が一斉に非発光状態から発光状態になる瞬間が存在しなくなる。

【0033】

しかし上記駆動方法でも、画素の表示する階調によっては、複数の画素の発光

素子が一斉に非発光状態から発光状態になる瞬間が、1フレーム期間中に複数回出現し、そのたび毎に発光素子の輝度が一時的に低下する。

【 0 0 3 4 】

上述した問題に鑑み、本発明は、複数の画素の発光素子が一斉に非発光状態から発光状態になることによって、発光素子の輝度が一時的に低下する回数を抑え、画面のちらつきを低減することを課題とする。

【 0 0 3 5 】

【課題を解決するための手段】

本発明者らは、画面のちらつきを低減するためには、どのような階調を表示する場合でも、各画素が有する発光素子が非発光状態から発光状態になる瞬間が、1フレーム期間中2回以上出現しないようにすれば良いと考えた。

【 0 0 3 6 】

そのために、本発明では各画素にメモリ等の記憶手段を設け、フレーム期間開始時に、全ビットのデジタルビデオ信号を該記憶手段に書き込む。そして、該記憶手段に書き込まれたデジタルビデオ信号に基づき、当該フレーム期間において発光素子が発光する期間（発光期間）を算出し、該発光期間において発光素子に電流を流す制御手段とを設けた。上記構成によって、1フレーム期間において、発光素子を所定の期間だけ連続して発光させることが可能になった。

【 0 0 3 7 】

よって、複数の画素の発光素子が一斉に非発光状態から発光状態になる瞬間が、どのような階調を表示する場合でも、1フレーム期間中に1回以下しか現れなくなる。したがって、複数の画素の発光素子が一斉に非発光状態から発光状態になることによる発光素子の輝度の一時的な低下の回数を抑え、画面のちらつきを低減することができる。また中間階調の表示を行う際、連続して出現するフレーム期間において、発光素子が発光している期間が続けて出現することがなく、動画擬似輪郭の発生を防ぐことができる。

【 0 0 3 8 】

以下に、本発明の構成を示す。

【 0 0 3 9 】

本明細書で開示する発明は、

発光素子と、デジタルビデオ信号を記憶する手段と、前記記憶されたデジタルビデオ信号が有する画像情報に基づいて前記発光素子の発光する期間を定める手段とを、画素内に有することを特徴とする発光装置である。

【 0 0 4 0 】

本明細書で開示する発明は、

発光素子と、デジタルビデオ信号を記憶する手段と、前記記憶されたデジタルビデオ信号が有する画像情報に基づいて前記発光素子の発光する期間を定める手段とを画素内に有する発光装置であって、

前記発光素子が発光する期間は、1フレーム期間において連続して出現することを特徴とする発光装置である。

【 0 0 4 1 】

本明細書で開示する発明は、

n 個の第1メモリと、 n 個の第2メモリと、表示信号生成部と、カウンタ回路と、発光素子とを有する画素が複数設けられた発光装置であって、

前記 n 個の第1メモリのそれぞれに、 n ビットのデジタルビデオ信号の各ビットが順に書き込まれ、

前記 n 個の第1メモリのそれぞれに書き込まれた n ビットのデジタルビデオ信号の各ビットは、前記 n 個の第2メモリのそれぞれに一斉に書き込まれ、

前記 n 個の第2メモリのそれぞれに書き込まれた n ビットのデジタルビデオ信号の各ビットは、前記表示信号生成部に入力され、

リセット信号によって前記カウンタ回路から周波数の異なる n 個のカウンタ信号の出力が開始され、

前記 n 個のカウンタ信号は前記表示信号生成部に入力され、

前記 n 個のカウンタ信号の出力が開始されてから、前記表示信号生成部に入力された n ビットのデジタルビデオ信号の各ビットが有する情報と、 n 個のカウンタ信号のそれぞれが有する情報とが一致するまでの期間のみ、前記発光素子が発光することを特徴とする発光装置である。

【 0 0 4 2 】

本明細書で開示する発明は、

n 個の第 1 メモリと、 n 個の第 2 メモリと、 n 個の第 1 スイッチング用 T F T と、 n 個の第 2 スイッチング用 T F T と、表示信号生成部と、カウンタ回路と、発光素子とを有する画素が複数設けられた発光装置であって、

前記 n 個の第 1 スイッチング用 T F T が順にオンになることで、前記 n 個の第 1 メモリのそれぞれに、 n ビットのデジタルビデオ信号の各ビットが順に書き込まれ、

前記 n 個の第 2 スイッチング用 T F T が一斉にオンになることで、前記 n 個の第 1 メモリのそれぞれに書き込まれた n ビットのデジタルビデオ信号の各ビットは、前記 n 個の第 2 メモリのそれぞれに一斉に書き込まれ、

前記 n 個の第 2 メモリのそれぞれに書き込まれた n ビットのデジタルビデオ信号の各ビットは、前記表示信号生成部に入力され、

リセット信号によって前記カウンタ回路から周波数の異なる n 個のカウンタ信号の出力が開始され、

前記 n 個のカウンタ信号は前記表示信号生成部に入力され、

前記 n 個のカウンタ信号の出力が開始されてから、前記表示信号生成部に入力された n ビットのデジタルビデオ信号の各ビットが有する情報と、 n 個のカウンタ信号のそれぞれが有する情報とが一致するまでの期間のみ、前記発光素子が発光することを特徴とする発光装置である。

【 0 0 4 3 】

本明細書で開示する発明は、

n 個の第 1 メモリと、 n 個の第 2 メモリと、 n 個の第 1 スイッチング用 T F T と、 n 個の第 2 スイッチング用 T F T と、表示信号生成部と、カウンタ回路と、電流制御用 T F T と、発光素子とを有する画素が複数設けられた発光装置であって、

前記 n 個の第 1 スイッチング用 T F T が順にオンになることで、前記 n 個の第 1 メモリのそれぞれに、 n ビットのデジタルビデオ信号の各ビットが順に書き込まれ、

前記 n 個の第 2 スイッチング用 T F T が一斉にオンになることで、前記 n 個の

第 1 メモリのそれぞれに書き込まれた n ビットのデジタルビデオ信号の各ビットは、前記 n 個の第 2 メモリのそれぞれに一斉に書き込まれ、

前記 n 個の第 2 メモリのそれぞれに書き込まれた n ビットのデジタルビデオ信号の各ビットは、前記表示信号生成部に入力され、

リセット信号によって前記カウンタ回路から周波数の異なる n 個のカウンタ信号の出力が開始され、

前記 n 個のカウンタ信号は前記表示信号生成部に入力され、

前記 n 個のカウンタ信号の出力が開始されてから、前記表示信号生成部に入力された n ビットのデジタルビデオ信号の各ビットが有する情報と、 n 個のカウンタ信号のそれぞれが有する情報とが一致するまでの期間のみ、前記表示信号生成部から出力される表示信号によって前記電流制御用 T F T がオンになり、

前記電流制御用 T F T がオンになることで、前記発光素子が発光することを特徴とする発光装置である。

【 0 0 4 4 】

本明細書で開示する発明は、

n 個の第 1 メモリと、 n 個の第 2 メモリと、表示信号生成部と、カウンタ回路と、発光素子とを有する画素が複数設けられた発光装置であって、

前記 n 個の第 1 メモリのそれぞれに、 n ビットのデジタルビデオ信号の各ビットが順に書き込まれ、

前記 n 個の第 1 メモリのそれぞれに書き込まれた n ビットのデジタルビデオ信号の各ビットは、前記 n 個の第 2 メモリのそれぞれに一斉に書き込まれ、

前記 n 個の第 2 メモリのそれぞれに書き込まれた n ビットのデジタルビデオ信号の各ビットは、前記表示信号生成部に入力され、

リセット信号によって前記カウンタ回路から周波数の異なる n 個のカウンタ信号の出力が開始され、

前記 n 個のカウンタ信号は前記表示信号生成部に入力され、

前記表示信号生成部は、前記表示信号生成部に入力される前記 n ビットのデジタルビデオ信号の各ビットと、前記表示信号生成部に入力される n 個のカウンタ信号とが有する情報を比較し、合致するかしないか判断する第 1 の機能と、

前記 n 個のカウンタ信号の出力が開始されてから、前記表示信号生成部に入力された n ビットのデジタルビデオ信号の各ビットが有する情報と、 n 個のカウンタ信号のそれぞれが有する情報とが合致するまでの期間のみ、前記発光素子を発光させる第 2 の機能とを有することを特徴とする発光装置である。

【 0 0 4 5 】

本明細書で開示する発明は、

n 個の第 1 メモリと、 n 個の第 2 メモリと、 n 個の第 1 スイッチング用 T F T と、 n 個の第 2 スイッチング用 T F T と、表示信号生成部と、カウンタ回路と、発光素子とを有する画素が複数設けられた発光装置であって、

前記 n 個の第 1 スイッチング用 T F T が順にオンになることで、前記 n 個の第 1 メモリのそれぞれに、 n ビットのデジタルビデオ信号の各ビットが順に書き込まれ、

前記 n 個の第 2 スイッチング用 T F T が一斉にオンになることで、前記 n 個の第 1 メモリのそれぞれに書き込まれた n ビットのデジタルビデオ信号の各ビットは、前記 n 個の第 2 メモリのそれぞれに一斉に書き込まれ、

前記 n 個の第 2 メモリのそれぞれに書き込まれた n ビットのデジタルビデオ信号の各ビットは、前記表示信号生成部に入力され、

リセット信号によって前記カウンタ回路から周波数の異なる n 個のカウンタ信号の出力が開始され、

前記 n 個のカウンタ信号は前記表示信号生成部に入力され、

前記表示信号生成部は、前記表示信号生成部に入力される前記 n ビットのデジタルビデオ信号の各ビットと、前記表示信号生成部に入力される n 個のカウンタ信号とが有する情報を比較し、合致するかしないか判断する第 1 の機能と、

前記 n 個のカウンタ信号の出力が開始されてから、前記表示信号生成部に入力された n ビットのデジタルビデオ信号の各ビットが有する情報と、 n 個のカウンタ信号のそれぞれが有する情報とが合致するまでの期間のみ、前記発光素子を発光させる第 2 の機能とを有することを特徴とする発光装置である。

【 0 0 4 6 】

本明細書で開示する発明は、

n 個の第 1 メモリと、n 個の第 2 メモリと、n 個の第 1 スイッチング用 T F T と、n 個の第 2 スイッチング用 T F T と、表示信号生成部と、カウンタ回路と、電流制御用 T F T と、発光素子とを有する画素が複数設けられた発光装置であって、

前記 n 個の第 1 スイッチング用 T F T が順にオンになることで、前記 n 個の第 1 メモリのそれぞれに、n ビットのデジタルビデオ信号の各ビットが順に書き込まれ、

前記 n 個の第 2 スイッチング用 T F T が一齐にオンになることで、前記 n 個の第 1 メモリのそれぞれに書き込まれた n ビットのデジタルビデオ信号の各ビットは、前記 n 個の第 2 メモリのそれぞれに一齐に書き込まれ、

前記 n 個の第 2 メモリのそれぞれに書き込まれた n ビットのデジタルビデオ信号の各ビットは、前記表示信号生成部に入力され、

リセット信号によって前記カウンタ回路から周波数の異なる n 個のカウンタ信号の出力が開始され、

前記 n 個のカウンタ信号は前記表示信号生成部に入力され、

前記表示信号生成部は、前記表示信号生成部に入力される前記 n ビットのデジタルビデオ信号の各ビットと、前記表示信号生成部に入力される n 個のカウンタ信号とが有する情報を比較し、合致するかしないか判断する第 1 の機能と、

前記 n 個のカウンタ信号の出力が開始されてから、前記表示信号生成部に入力された n ビットのデジタルビデオ信号の各ビットが有する情報と、n 個のカウンタ信号のそれぞれが有する情報とが合致するまでの期間のみ、前記電流制御用 T F T をオンにする第 2 の機能とを有し、

前記電流制御用 T F T がオンになることで、前記発光素子が発光することを特徴とする発光装置である。

【 0 0 4 7 】

本発明は、前記電流制御用 T F T が n チャネル型 T F T であることを特徴としていても良い。

【 0 0 4 8 】

本発明は、前記表示信号生成部が N O R と、n 個のエクスクルーシブ O R とを

有しており、

前記 n 個のエクスクルーシブ OR がそれぞれ有する 2 つの入力端子のうち、一方の入力端子には、前記表示信号生成部に入力される前記 n ビットのデジタルビデオ信号の各ビットが入力され、もう一方の入力端子には前記 n 個のカウンタ信号が入力され、

前記 n 個のエクスクルーシブ OR がそれぞれ有する出力端子は、全て前記 NOR の入力端子に接続されており、

前記 NOR の出力端子から出力される信号の有する情報によって、前記表示信号生成部に入力される前記 n ビットのデジタルビデオ信号の各ビットと、前記表示信号生成部に入力される n 個のカウンタ信号のそれぞれとが有する情報が合致するかしないかが判断されることを特徴としていても良い。

【 0 0 4 9 】

本発明は、前記表示信号生成部が R-S フリップフロップ回路を有しており、

前記 R-S フリップフロップ回路が有する 2 つの入力端子のうち、いずれか一方の入力端子にはリセット信号が入力され、もう一方の入力端子には、前記表示信号生成部に入力される前記 n ビットのデジタルビデオ信号の各ビットと、前記表示信号生成部に入力される n 個のカウンタ信号のそれぞれとが有する情報が合致するかしないかの情報を有する信号が入力され、

前記 R-S フリップフロップ回路が有する出力端子から出力される信号によって、前記 n 個のカウンタ信号の出力が開始されてから、前記表示信号生成部に入力された n ビットのデジタルビデオ信号の各ビットが有する情報と、 n 個のカウンタ信号のそれぞれが有する情報とが合致するまでの期間のみ、前記発光素子を発光させることを特徴としていても良い。

【 0 0 5 0 】

本発明は、前記第 1 メモリまたは前記第 2 メモリが S R A M であることを特徴としていても良い。

【 0 0 5 1 】

本発明は、前記カウンタ回路にクロック信号が入力されており、前記 n 個のカウンタ信号の周波数が、高いほうから順に、前記クロック信号の周波数の $1/2$

、 $1/2^2$ 、…、 $1/2^n$ に相当することを特徴としても良い。

【 0 0 5 2 】

本発明は、前記発光装置を有することを特徴とする電子機器であっても良い。

【 0 0 5 3 】

本発明は、エレクトロルミネッセンス表示装置、デジタルスチルカメラ、ノート型パーソナルコンピュータ、モバイルコンピュータ、画像再生装置、ゴーグル型ディスプレイ、ビデオカメラまたは携帯電話であることを特徴とする電子機器であっても良い。

【 0 0 5 4 】

【発明の実施の形態】

以下、本発明の発光装置の構成について説明する。なお、説明を容易にするために、4ビットのデジタルビデオ信号に対応する発光装置を例にとって説明するが、本発明はこのビット数に限定されない。

【 0 0 5 5 】

本発明の発光装置の画素部には、ソース信号線 $S_1 \sim S_x$ と、電源供給線 $V_1 \sim V_x$ と、ラッチ信号線 $LAT_1 \sim LAT_y$ と、ゲート信号線 $G_{1_1} \sim 4$ 、…、 $G_{y_1} \sim 4$ とが設けられている。なお、ソース信号線と電源供給線の数はずしも同じであるとは限らない。また、ゲート信号線の数、必ずしもラッチ信号線の数に、デジタルビデオ信号のビット数を掛けた数に相当するとは限らない。

【 0 0 5 6 】

そして本発明の発光装置では、画素部に複数の画素がマトリクス状に設けられている。図1に本発明の発光装置の画素の構成を示す。

【 0 0 5 7 】

図1に示した画素100は、1つのソース信号線 S_i (i は $1 \sim x$ の任意の数)と、1つの電源供給線 V_i と、1つのラッチ信号線 LAT_j (j は $1 \sim y$ の任意の数)とを有している。またデジタルビデオ信号のビット数と同じ数(本実施の形態では4つ)のゲート信号線 $G_{j_1} \sim G_{j_4}$ を有している。

【 0 0 5 8 】

また各画素は、デジタルビデオ信号のビット数と同じ数（本実施の形態では4つ）の、第1スイッチング用TFT101__1～101__4と、第1メモリ102__1～102__4と、第2スイッチング用TFT103__1～103__4と、第2メモリ104__1～104__4とを有している。

【0059】

さらに各画素は、発光素子駆動部109と、電流制御用TFT107と、発光素子108とを有している。発光素子駆動部109は、デジタルビデオ信号の有する画像情報によって定められる期間のみ、電流制御用TFT107をオンにする信号を生成する部分である。

【0060】

第1スイッチング用TFT101__1～101__4のゲート電極は、それぞれゲート信号線Gj__1～Gj__4のそれぞれに接続されている。つまり、第1スイッチング用TFT101__1のゲート電極はゲート信号線Gj__1に、第1スイッチング用TFT101__2のゲート電極はゲート信号線Gj__2に、第1スイッチング用TFT101__3のゲート電極はゲート信号線Gj__3に、第1スイッチング用TFT101__4のゲート電極はゲート信号線Gj__4に、それぞれ接続されている。

【0061】

また第1スイッチング用TFT101__1～101__4のソース領域とドレイン領域は、一方はソース信号線Siに、もう一方は第1メモリ102__1～102__4の入力端子にそれぞれ接続されている。つまり、第1スイッチング用TFT101__1のソース領域とドレイン領域は、一方はソース信号線Siに、もう一方は第1メモリ102__1の入力端子に接続されている。また、第1スイッチング用TFT101__2のソース領域とドレイン領域は、一方はソース信号線Siに、もう一方は第1メモリ102__2の入力端子に接続されている。また、第1スイッチング用TFT101__3のソース領域とドレイン領域は、一方はソース信号線Siに、もう一方は第1メモリ102__3の入力端子に接続されている。つまり、第1スイッチング用TFT101__4のソース領域とドレイン領域は、一方はソース信号線Siに、もう一方は第1メモリ102__4の入力端子に接

続されている。

【 0 0 6 2 】

第2スイッチング用TFT103__1～103__4のゲート電極は、ラッチ信号線LAT_jに接続されている。

【 0 0 6 3 】

また、第2スイッチング用TFT103__1～103__4のソース領域とドレイン領域は、一方は第1メモリ102__1～102__4の出力端子に接続されており、もう一方は第2メモリ104__1～104__4の入力端子にそれぞれ接続されている。つまり、第2スイッチング用TFT103__1のソース領域とドレイン領域は、一方は第1メモリ102__1の出力端子に接続されており、もう一方は第2メモリ104__1の入力端子にそれぞれ接続されている。また、第2スイッチング用TFT103__2のソース領域とドレイン領域は、一方は第1メモリ102__2の出力端子に接続されており、もう一方は第2メモリ104__2の入力端子にそれぞれ接続されている。また、第2スイッチング用TFT103__3のソース領域とドレイン領域は、一方は第1メモリ102__3の出力端子に接続されており、もう一方は第2メモリ104__3の入力端子にそれぞれ接続されている。また、第2スイッチング用TFT103__4のソース領域とドレイン領域は、一方は第1メモリ102__4の出力端子に接続されており、もう一方は第2メモリ104__4の入力端子にそれぞれ接続されている。

【 0 0 6 4 】

発光素子駆動部109には、デジタルビデオ信号のビット数と同じ数（本実施の形態では4つ）の入力端子（in1～in4）が設けられており、第2メモリ104__1～104__4の出力端子と一対一で接続されている。

【 0 0 6 5 】

発光素子駆動部109の出力端子（out）は、電流制御用TFT107のゲート電極に接続されている。電流制御用TFT107のソース領域とドレイン領域は、一方は電源供給線Viに、もう一方は発光素子108が有する画素電極に接続されている。

【 0 0 6 6 】

なお、発光素子 1 0 8 は、陽極と、陰極と、陽極と陰極の間に設けられた有機化合物層とを有しており、陽極を画素電極として用いる場合、電流制御用 T F T 1 0 7 は p チャンネル型 T F T であることが望ましい。また、陰極を画素電極として用いる場合、電流制御用 T F T 1 0 7 は n チャンネル型 T F T であることが望ましい。なお、陽極を画素電極として用いる場合、陰極を対向電極と呼ぶ。また、陰極を画素電極として用いる場合、陽極を対向電極と呼ぶ。

【 0 0 6 7 】

本発明の発光装置の場合、各画素が有する T F T の数が一般的な発光装置に比べて多いため、発光素子 1 0 8 から発せられる光を対向電極の側から表示用パネルの外部に出すようにする方が、光の取りだし効率の観点から好ましい。よって対向電極は陽極であることが好ましく、その場合は電流制御用 T F T 1 0 7 が n チャンネル型 T F T であることが望ましい。しかし本発明はこれに限定されず、対向電極を陰極にしても良く、この場合は電流制御用 T F T 1 0 7 が p チャンネル型 T F T であることが望ましい。

【 0 0 6 8 】

次に本発明の発光装置の動作について説明する。本発明の発光装置の動作は、書き込み期間 T_a と、発光期間 T_s と、非発光期間 T_b とに分けて説明することができる。

【 0 0 6 9 】

書き込み期間 T_a では、発光装置の画素部に設けられてた全ての画素の第 1 メモリに、全ビット（本実施の形態では 1 ～ 4 ビット）のデジタルビデオ信号が順に入力され、保持される。そして入力されたデジタルビデオ信号が有する画像情報に基づいて、発光素子駆動部 1 0 9 において発光期間 T_s と非発光期間 T_b の長さが定められる。発光期間 T_s において各画素の発光素子は発光状態にあり、非発光期間 T_b において非発光状態にある。

【 0 0 7 0 】

以下に本発明の発光装置の動作について、図 1 及び図 2 を参照してより詳しく説明する。なお図 2 は、図 1 に示した画素における書き込み期間 T_a 、発光期間 T_s 、非発光期間 T_b の出現するタイミングを示している。

【0071】

まず、書き込み期間T_aが開始されると、ゲート信号線G1__1に入力される信号（選択信号）によって、ゲート信号線G1__1が選択される。なお本明細書において信号線が選択されるとは、該信号線にゲート電極が接続されたTFTが全てオンになることを意味する。ゲート信号線G1__1が選択されると、ゲート信号線G1__1にゲート電極が接続された全ての第1スイッチング用TFT101__1がオンになる。

【0072】

そして、ソース信号線S1～S_xのそれぞれに入力された1ビット分のデジタルビデオ信号が、オンの第1スイッチング用TFT101__1を介して第1メモリ102__1の入力端子に入力される。入力された1ビット分のデジタルビデオ信号は、第1メモリ102__1において保持される。なおメモリに信号が入力されて保持されることを、本明細書では信号がメモリに書き込まれると呼ぶ。

【0073】

次に、ゲート信号線G1__1の選択が終了し、選択信号によって、ゲート信号線G1__2が選択される。ゲート信号線G1__2が選択されると、ゲート信号線G1__2にゲート電極が接続された全ての第1スイッチング用TFT101__2がオンになる。

【0074】

そして、ソース信号線S1～S_xのそれぞれに入力された次の1ビット分のデジタルビデオ信号が、オンの第1スイッチング用TFT101__2を介して第1メモリ102__2の入力端子に入力される。入力された1ビット分のデジタルビデオ信号は、第1メモリ102__2において保持される。

【0075】

そして、ゲート信号線G1__3、G1__4も順に選択され、同様の動作が行われる。その結果、ゲート信号線G1__1～G1__4を有する画素（1ライン目の画素）の第1メモリ102__1～102__4に、4ビットのデジタルビデオ信号の各ビットがそれぞれ入力され、保持される。

【0076】

次に、ゲート信号線G 2 _ 1 ~ G 2 _ 4 が順に選択され、同様に4ビットのデジタルビデオ信号の各ビットが、2ライン目の画素の第1メモリ1 0 2 _ 1 ~ 1 0 2 _ 4 にそれぞれ入力される。

【 0 0 7 7 】

そして、ゲート信号線G 3 _ 1 ~ G 3 _ 4、…、G y _ 1 ~ G y _ 4 も順に選択され、同様に4ビットのデジタルビデオ信号の各ビットが、3 ~ yライン目の画素の第1メモリ1 0 2 _ 1 ~ 1 0 2 _ 4 にそれぞれ入力される。なお本明細書において画素にデジタルビデオ信号が入力されるというのは、画素の有する第1メモリの入力端子にデジタルビデオ信号が入力されることを意味する。

【 0 0 7 8 】

全ての画素においてデジタルビデオ信号が入力されると、書き込み期間T a が終了し、発光期間T s が開始される。

【 0 0 7 9 】

発光期間T s が開始されると、ラッチ信号線L A T 1 ~ L A T y に入力されるラッチ信号によって、全画素の第2スイッチング用T F T 1 0 3 _ 1 ~ 1 0 3 _ 4 が、一斉にオンになる。

【 0 0 8 0 】

そしてオンになった第2スイッチング用T F T 1 0 3 _ 1 ~ 1 0 3 _ 4 を介して、第1メモリ1 0 2 _ 1 ~ 1 0 2 _ 4 において保持されているデジタルビデオ信号の各ビットが、第2メモリ1 0 4 _ 1 ~ 1 0 4 _ 4 の入力端子に入力される。よって、4ビットのデジタルビデオ信号の各ビットは、第2メモリ1 0 4 _ 1 ~ 1 0 4 _ 4 においてそれぞれ保持される。

【 0 0 8 1 】

第2メモリ1 0 4 _ 1 ~ 1 0 4 _ 4 において保持されているデジタルビデオ信号は、発光素子駆動部1 0 9 が有する入力端子 (i n 1 ~ i n 4) に入力される。なお発光素子駆動部1 0 9 は、デジタルビデオ信号のビット数 (本実施の形態では4つ) と同じ数の入力端子を有している。

【 0 0 8 2 】

そして、デジタルビデオ信号は、当該フレーム期間において画素が表示する階

調数を情報として有している。発光素子駆動部 1 0 9 では、入力端子 (i n 1 ~ i n 4) から入力された 4 ビットのデジタルビデオ信号から、所定の階調を表示することができる発光期間 T s の長さを算出する。

【 0 0 8 3 】

そして、発光期間 T s の間においてのみ、電流制御用 T F T 1 0 7 をオンにする信号 (表示信号) が、発光素子駆動部 1 0 9 の出力端子 (o u t) から出力され、電流制御用 T F T 1 0 7 のゲート電極に入力される。

【 0 0 8 4 】

表 1 に、発光素子駆動部 1 0 9 の入力端子 (i n 1 ~ i n 4) に入力される信号と、出力端子 (o u t) から表示信号が出力される期間の、1 フレーム期間における割合 (階調) の関係を示す。

【 0 0 8 5 】

【表 1】

In1	In2	In3	In4	階調
1	1	1	1	0
0	1	1	1	1/16
1	0	1	1	2/16
0	0	1	1	3/16
1	1	0	1	4/16
0	1	0	1	5/16
1	0	0	1	6/16
0	0	0	1	7/16
1	1	1	0	8/16
0	1	1	0	9/16
1	0	1	0	10/16
0	0	1	0	11/16
1	1	0	0	12/16
0	1	0	0	13/16
1	0	0	0	14/16
0	0	0	0	15/16

【 0 0 8 6 】

本発明において発光素子駆動部 1 0 9 は、表 1 に示す動作を行う回路であれば、どのような論理回路を有していても良い。

【 0 0 8 7 】

また表 1 とは逆に、表 2 に示す行う回路であっても良い。

【 0 0 8 8 】

【表 2】

In1	In2	In3	In4	階調
1	1	1	1	15/16
0	1	1	1	14/16
1	0	1	1	13/16
0	0	1	1	12/16
1	1	0	1	11/16
0	1	0	1	10/16
1	0	0	1	9/16
0	0	0	1	8/16
1	1	1	0	7/16
0	1	1	0	6/16
1	0	1	0	5/16
0	0	1	0	4/16
1	1	0	0	3/16
0	1	0	0	2/16
1	0	0	0	1/16
0	0	0	0	0

【 0 0 8 9 】

表示信号が電流制御用 T F T 1 0 7 のゲート電極に入力されると、電流制御用 T F T 1 0 7 はオンになり、電源供給線 V i の電源電位が発光素子 1 0 8 の画素電極に与えられる。対向電極の対向電位と電源電位との間には電位差があり、電源電位が画素電極に与えられると該電位差が発光素子 1 0 8 が有する有機化合物層にかかる。本明細書では、このときの発光素子 1 0 8 の画素電極と対向電極の電位差を発光素子駆動電圧と呼ぶ。発光素子駆動電圧は、発光素子駆動電圧が有機化合物層にかかったときに発光素子が発光する大きさである。発光素子駆動電圧が有機化合物層にかかると発光素子 1 0 8 は発光する。

【 0 0 9 0 】

そして、発光期間 T s が終了すると非発光期間 T b が開始される。非発光期間 T b が開始されると、発光素子駆動部 1 0 9 から表示信号が電流制御用 T F T 1 0 7 に入力されなくなり、代わりに発光素子駆動部 1 0 9 から非表示信号が電流制御用 T F T 1 0 7 のゲート電極に入力される。非表示信号が電流制御用 T F T 1 0 7 のゲート電極に入力されると、電流制御用 T F T 1 0 7 はオフになる。よって、電源電位が発光素子 1 0 8 の画素電極に与えられなくなり、発光素子 1 0

8は非発光状態になる。

【0091】

非発光期間T_bが終了すると1フレーム期間が終了し、次の1フレーム期間の書き込み期間T_aが開始され、同様の動作が繰り返される。

【0092】

なお図2では、1フレーム期間において発光期間T_sと、非発光期間T_bが出現する場合について説明したが、本発明はこの構成に限定されない。画素が表示する階調によっては、発光期間T_sは出現せず、書き込み期間T_aが終了した直後に、非発光期間T_bが出現する場合もある。逆に、非発光期間T_bは出現せず、発光期間T_sが出現した後に、次の1フレーム期間の書き込み期間が開始される場合もある。

【0093】

本発明の発光装置では、発光期間T_sと非発光期間T_bの長さの割合によって、当該フレーム期間における画素の階調が定まる。1フレーム期間における発光期間T_sの長さの割合が大きくなればなるほど、画素において明るい階調が表示される。逆に発光期間T_sの長さの割合が小さくなればなるほど、画素において暗い階調が表示される。

【0094】

また本実施の形態では、書き込み期間T_aと、発光期間T_sまたは非発光期間T_bとを別個に設けたが、書き込み期間T_aと、発光期間T_sまたは非発光期間T_bとが互いに重なっていても良い。つまり発光素子が発光している間に、次のフレーム期間の画像情報を有するデジタルビデオ信号の第1メモリへの書き込みが開始されていても良い。

【0095】

本発明の発光装置では、複数の画素の発光素子が一斉に非発光状態から発光状態になるのは、書き込み期間が終了して発光期間が開始される瞬間のみである。よって、発光素子の発光している期間において、発光素子の輝度が低下するのを極力抑えることができる。

【0096】

また中間階調の表示を行う際、連続して出現するフレーム期間において、発光素子が発光している期間が続けて出現することがなく、動画擬似輪郭の発生を防ぐことができる。

【0097】

【実施例】

以下に、本発明の実施例について説明する。

【0098】

(実施例1)

本実施例では、図1に示した画素が有する、発光素子駆動部109がカウンタ回路を有する場合について、図3を用いて説明する。なお本実施例では、4ビットのデジタルビデオ信号に対応している発光装置の画素の構成について説明するが、本発明の発光装置がこのビット数に限定されないことは言うまでもない。

【0099】

図3に本実施例の発光装置の画素の構成を示す。なお図1において既に示したものは、同じ符号を付す。本実施例では、発光素子駆動部109は、表示信号生成部105と、カウンタ回路106とを有している。

【0100】

そして、実施の形態において示した発光素子駆動部109の入力端子は、本実施例では表示信号生成部105の第1入力端子に相当する。表示信号生成部105には、デジタルビデオ信号のビット数と同じ数（本実施例では4つ）の第1入力端子が設けられており、第2メモリ104__1～104__4の出力端子が、表示信号生成部105が有する4つの第1入力端子に一对一で接続されている。

【0101】

また実施の形態において示した発光素子駆動部109の出力端子は、本実施例では表示信号生成部105の出力端子に相当する。表示信号生成部105の出力端子は、電流制御用TFT107のゲート電極に接続されている。

【0102】

カウンタ回路106にはデジタルビデオ信号のビット数と同じ数（本実施例では4つ）の出力端子が設けられている。また、表示信号生成部105には、デジ

タルビデオ信号のビット数と同じ数（本実施例では4つ）の第2入力端子が設けられている。そして、カウンタ回路106の出力端子と表示信号生成部105の第2入力端子は一对一で接続されている。

【0103】

本実施例では、第2メモリ104__1～104__4において保持されているデジタルビデオ信号は、表示信号生成部105が有する第1入力端子に入力される。

【0104】

一方カウンタ回路106にはクロック信号CKと、クロック信号の極性を反転させた信号CKbと、第1リセット信号Res1とが入力されている。そしてカウンタ回路106では、Res1によりリセットされてから入力されたCKまたはCKbが何周期分あるかをカウントする。そしてカウンタ回路106から、カウントされたCKまたはCKbの周期数を情報として有する信号（カウンタ信号）が、表示信号生成部105の第2入力端子に入力される。

【0105】

なおカウンタ信号は、デジタルビデオ信号のビット数（本実施例では4つ）と同じ数の第2入力端子のそれぞれから出力されている。本明細書では、nビットのデジタルビデオ信号に対応している発光装置の場合、第2入力端子のそれぞれから出力されるカウンタ信号を、第1～第nカウンタ信号と呼ぶ。そして、第1～第nカウンタ信号をあわせてカウンタ信号と総称する。本実施の形態では、カウンタ信号は第1～第4カウンタ信号に相当する。

【0106】

また、表示信号生成部105には、第1リセット信号Res1に同期している第2リセット信号Res2が入力されている。そして、第2リセット信号Res2によって発光期間Tsが開始され、表示信号生成部105の出力端子から表示信号が出力される。表示信号が電流制御用TFT107のゲート電極に入力されると、電流制御用TFT107はオンになり、電源電位が発光素子108の画素電極に与えら、発光素子108は発光状態になる。

【0107】

そして、表示信号生成部105では、第1入力端子から入力された4ビットのデジタルビデオ信号と、第2入力端子から入力されたカウンタ信号を比較する。そしてデジタルビデオ信号とカウンタ信号とが合致した時点で発光期間 T_s が終了し、表示信号の代わりに非表示信号が、表示信号生成部105の出力端子から出力され、非発光期間 T_b が開始される。

【0108】

非表示信号が電流制御用TFT107のゲート電極に入力されると、電流制御用TFT107はオフになり、電源電位が発光素子108の画素電極に与えられなくなり、発光素子108は非発光状態になる。

【0109】

非発光期間 T_b が終了すると1フレーム期間が終了し、次の1フレーム期間の書き込み期間 T_a が開始され、同様の動作が繰り返される。

【0110】

本実施例において表示信号生成部105は、 $Res2$ によって表示信号を出力し、第1入力端子と第2入力端子にそれぞれ入力されるデジタルビデオ信号とカウンタ信号とが合致したら表示信号の代わりに非表示信号を出力するならば、どのような論理回路を有していても良い。

【0111】

また、第1リセット信号 $Res1$ と第2リセット信号 $Res2$ とが、1つの信号源から出力される全く同じ信号であっても良い。

【0112】

なお本発明の発光装置の画素に設けられたカウンタ回路は、入力信号(CK 、 CKb 、 $Res1$)を受けると加算或いは減算を行い、入力信号のカウントを行う回路であれば、どのような構成を有していても良い。

【0113】

(実施例2)

本実施例では、図3に示した画素が有する、表示信号生成部105の具体的な構成について、図4を用いて説明する。なお本実施例では、4ビットのデジタルビデオ信号に対応している発光装置の画素の構成について説明するが、本発明の

発光装置がこのビット数に限定されないことは言うまでもない。

【0114】

図4に本実施例の発光装置の画素の構成を示す。図4では、図3において既に示してあるものには、同じ符号を付している。また説明をわかりやすくするために本実施例では、カウンタ回路106の出力端子（本実施例では4つ）をout1～out4と呼ぶ。出力端子out1～out4から、第1～第4カウンタ信号が出力される。

【0115】

本実施例の表示信号生成部105は、具体的には、デジタルビデオ信号のビット数と同じ数（本実施例では4つ）のエクスクルーシブOR（exOR）100__1～100__4と、NOR111、112、113と、インバーター114とを有している。

【0116】

4つのexOR100__1～100__4はそれぞれ2つの入力端子を有しており、一方が第1入力端子、もう一方が第2入力端子に相当する。4つのexOR100__1～100__4の出力端子は、NOR111の有する4つの入力端子に接続されている。

【0117】

NOR111の有する出力端子は、NOR112が有する2つの入力端子のうち、いずれか一方と接続されている。また、NOR112が有する2つの入力端子のうち、NOR111の有する出力端子と接続されていない方の入力端子は、NOR113の出力端子と接続されている。NOR113が有する2つの入力端子のうち、いずれか一方はNOR112が有する出力端子に接続されており、もう一方には第2リセット信号Res2が入力されている。また、NOR112の出力端子は、インバーター114の入力端子に接続されており、インバーター114の出力端子は電流制御用TFT107のゲート電極に入力されている。

【0118】

以下、表示信号生成部105の動作について説明する。

【0119】

第2メモリ104__1～104__4の出力端子から出力される4ビットのデジタルビデオ信号の各ビットが、表示信号生成部105が有する4つの第1入力端子にそれぞれ入力される。また、カウンタ回路106の出力端子out1～out4から出力される第1～第4カウンタ信号が、4つの第2入力端子にそれぞれ入力される。

【0120】

表示信号生成部105は、第1入力端子から入力される全てのデジタルビデオ信号と、第2入力端子から入力される全てのカウンタ信号とを比較し、合致するかしないかを判断する第1の機能を有している。本実施例の表示信号生成部105では、4つのexOR100__1～100__4と、NOR111とで、第1の機能を果たしている。

【0121】

さらに表示信号生成部105には、第1リセット信号Res1に同期している第2リセット信号Res2が入力されている。そして、表示信号生成部105は、第1リセット信号Res1によってカウンタ回路106がリセットされると同時に、第2リセット信号Res2によって電流制御用TFT107のゲート電極への表示信号の入力を開始し、なおかつ、第1の機能によってデジタルビデオ信号とカウンタ信号とが合致していると判断されたときに表示信号の代わりに非表示信号を電流制御用TFT107のゲート電極に入力し、電流制御用TFT107をオフにする第2の機能を有している。本実施例の表示信号生成部105では、2つのNOR112、113とで、第2の機能を果たしている。

【0122】

なお、インバーター114は、NOR112の出力端子から表示信号が出力されたときに電流制御用TFT107がオンになり、NOR112の出力端子から非表示信号が出力されたときに電流制御用TFT107がオフになるように、NOR112の出力端子から出力される表示信号または非表示信号の極性を反転させる機能を有している。電流制御用TFT107の極性によっては必ずしも設けなくとも良い。本実施例では、電流制御用TFT107がnチャネル型TFTの場合について説明しており、NOR112の出力端子から表示信号が出力された

ときに電流制御用TFT107をオンにし、NOR112の出力端子から非表示信号が出力されたときに電流制御用TFT107をオフにするためには、インバーター114を設ける必要がある。逆に、電流制御用TFT107がnチャンネル型TFTの場合、インバーター114を設ける必要はない。

【0123】

また、実施の形態において説明した通り、カウンタ回路106にはクロック信号CKと、クロック信号の極性を反転させた信号CKbと、第1リセット信号Res1とが入力されている。そして第1リセット信号Res1によってカウンタ回路がリセットされた時点から、カウンタ回路106の出力端子から、クロック信号CKとは周波数が異なるカウンタ信号が出力される。図5に第1リセット信号Res1と、クロック信号CKと、出力端子out1～out4から出力される第1～第4カウンタ信号のタイミングチャートを示す。

【0124】

4つの出力端子out1～out4から出力される第1～第4カウンタ信号の周波数は、それぞれ異なっている。例えば、m番目の出力端子outm（mは1から4の任意の自然数）から、クロック信号CKの周波数を 2^m 分の1にした第mカウンタ信号が出力される。

【0125】

なお、nビット（nは任意の自然数）のデジタルビデオ信号に対応する発光装置においても、m番目の出力端子outm（mは1からnの任意の自然数）から、クロック信号CKの周波数を 2^m 分の1にした信号が出力される。

【0126】

全ての出力端子（本実施例ではout1～out4）から出力されたカウンタ信号の極性によって、Res1によりリセットされてからカウンタ回路106に入力されたCKまたはCKbが何周期分あるかをカウントすることができる。

【0127】

NOR111の出力端子から出力される信号は、exOR100__1～100__4のそれぞれに入力されたカウンタ信号とデジタルビデオ信号が一致したとき、1（Hi）の信号を出力し、一致しないときは0（Lo）の信号を出力してい

る。なお図5では、e x O R 1 0 0 _ 1 ~ 1 0 0 _ 4 に入力されるデジタルビデオ信号が順に L o、L o、L o、H i の場合の、P o i n t A における電位を示している。

【0128】

一方、R e s 1 によってカウンタ回路106がリセットされるのと同期して、N O R 1 1 3 の入力端子に入力される R e s 2 が 0 (L o) になっている。よって、カウンタ信号とデジタルビデオ信号が一致していないときは、N O R 1 1 1 の出力は 0 (L o) であるので、P o i n t B における電位は H i になっており、nチャネル型TFTである電流制御用TFT107はオンになる。したがってこのとき、発光素子108は発光状態になる。

【0129】

逆に、カウンタ信号とデジタルビデオ信号が一致したとき、N O R 1 1 1 の出力は 1 (H i) になるので、P o i n t B における電位は L o になり、nチャネル型TFTである電流制御用TFT107はオフになる。したがってこのとき、発光素子108は非発光状態になる。

【0130】

発光素子108が発光している期間は発光期間 T_s に相当する。よって、R e s 1 によってカウンタ回路106がリセットされ、なおかつ R e s 2 が 1 (H i) になったときから、表示信号生成部105に入力されるカウンタ信号とデジタルビデオ信号が合致する直前までの期間が、当該画素の発光期間 T_s に相当する。また、表示信号生成部105に入力されるカウンタ信号とデジタルビデオ信号が合致してから、次のフレーム期間の書き込み期間 T_a が開始されるまでの期間が、当該画素の非発光期間 T_b に相当する。

【0131】

本発明の発光装置では、表示期間と非表示期間の割合によって、当該フレーム期間における画素の階調が決まる。そして表示期間の長さは、デジタルビデオ信号が有する情報によって変わる。

【0132】

なお、本実施例では正論理を用いたが、負論理を用いても良い。

【 0 1 3 3 】

本発明の発光装置では、複数の画素の発光素子が一齐に非発光状態から発光状態になるのは、書き込み期間が終了して発光期間が開始される瞬間のみである。よって、複数の画素の発光素子が一齐に非発光状態から発光状態になる瞬間が、どのような階調を表示する場合でも、1フレーム期間中に1回以下しか現れなくなる。したがって、複数の画素の発光素子が一齐に非発光状態から発光状態になることによる発光素子の輝度の一時的な低下の回数を抑え、画面のちらつきを低減することができる。

【 0 1 3 4 】

また中間階調の表示を行う際、連続して出現するフレーム期間において、発光素子が発光している期間が続けて出現することがなく、動画擬似輪郭の発生を防ぐことができる。

【 0 1 3 5 】

(実施例3)

本実施例では、本発明の発光装置の画素に設けられる第1メモリと第2メモリの構成について説明する。本実施例では、第1メモリ、第2メモリとしてSRAMを用いる。図6に本実施例で用いられるSRAMの等価回路図を示す。

【 0 1 3 6 】

図6(A)に示すSRAMは、pチャネル型TFTとnチャネル型TFTを2つつつ有している。そして、pチャネル型TFTのソース領域は高電圧側の電源V_{d d h}に、nチャネル型TFTのソース領域は低電圧側の電源V_{s s}に、それぞれ接続されている。1つのpチャネル型TFTと1つのnチャネル型TFTとが対になっており、1つのSRAMの中にpチャネル型TFTとnチャネル型TFTとの対が2組存在している。

【 0 1 3 7 】

対になったpチャネル型TFTとnチャネル型TFTは、そのドレイン領域が互いに接続されている。また対になったpチャネル型TFTとnチャネル型TFTは、そのゲート電極が互いに接続されている。そして互いに一方の対のpチャネル型及びnチャネル型TFTのドレイン領域が、もう一方の対のpチャネル型

及び n チャンネル型 T F T のゲート電極と同じ電位に保たれている。そして一方の対の p チャンネル型及び n チャンネル型 T F T のドレイン領域が入力端子に相当し、入力の信号 (V_{in}) が入る。また、もう一方の対の p チャンネル型及び n チャンネル型 T F T のドレイン領域は出力端子に相当し、出力の信号 (V_{out}) が出力される。

【 0 1 3 8 】

S R A M は V_{in} を保持し、 V_{in} を反転させた信号である V_{out} を出力するように設計されている。つまり、 V_{in} が H_i だと V_{out} は V_{ss} 相当の L_o の信号となり、 V_{in} が L_o だと V_{out} は V_{ddh} 相当の H_i の信号となる。

【 0 1 3 9 】

図 6 (B) に示す S R A M は、 n チャンネル型 T F T と抵抗とを 2 つづつ有している。1 つの n チャンネル型 T F T と 1 つの抵抗とが対になっており、1 つの S R A M の中に n チャンネル型 T F T と抵抗との対が 2 組存在している。そして、 n チャンネル型 T F T のドレイン領域は高電圧側の電源 V_{ddh} に、ソース領域は抵抗を介して低電圧側の電源 V_{ss} にそれぞれ接続されている。

【 0 1 4 0 】

n チャンネル型 T F T のドレイン領域は、互いに他の n チャンネル型 T F T のゲート電極と同じ電位に保たれている。そして一方の n チャンネル型 T F T のドレイン領域は入力端子に相当し、入力の信号 (V_{in}) が入る。また、もう一方の n チャンネル型 T F T のドレイン領域は出力端子に相当し、出力の信号 (V_{out}) が出力される。

【 0 1 4 1 】

S R A M は V_{in} を保持し、 V_{in} を反転させた信号である V_{out} を出力するように設計されている。つまり、 V_{in} が H_i だと V_{out} は V_{ss} 相当の L_o の信号となり、 V_{in} が L_o だと V_{out} は V_{ddh} 相当の H_i の信号となる。

【 0 1 4 2 】

図 6 (B) に示した S R A M は、抵抗を n チャンネル型 T F T と同時に形成する

ことが可能なので、pチャネル型TFTを形成する必要がなく、図6（A）で示したSRAMに比べて行程数を削減することができる。

【0143】

図6（C）に示すSRAMは、pチャネル型TFTと抵抗とを2つずつ有している。1つのpチャネル型TFTと1つの抵抗とが対になっており、1つのSRAMの中にpチャネル型TFTと抵抗の対が2組存在する。そして、pチャネル型TFTのソース領域は高電圧側の電源 V_{ddh} に、ドレイン領域は抵抗を介して低電圧側の電源 V_{ss} にそれぞれ接続されている。

【0144】

pチャネル型TFTのドレイン領域は、互いに他のpチャネル型TFTのゲート電極と同じ電位に保たれている。そして一方のpチャネル型TFTのドレイン領域は入力端子に相当し、入力の信号（ V_{in} ）が入る。また、もう一方のpチャネル型TFTのドレイン領域は出力端子に相当し、出力の信号（ V_{out} ）が出力される。

【0145】

SRAMは V_{in} を保持し、 V_{in} を反転させた信号である V_{out} を出力するように設計されている。つまり、 V_{in} がHiだと V_{out} は V_{ss} 相当のLoの信号となり、 V_{in} がLoだと V_{out} は V_{ddh} 相当のHiの信号となる。

【0146】

図6（C）に示したSRAMは、抵抗をpチャネル型TFTと同時に形成することが可能なので、nチャネル型TFTを形成する必要がなく、図6（A）で示したSRAMに比べて行程数を削減することができる。

【0147】

なお本発明の発光装置の画素が有する第1メモリ及び第2メモリは、本実施例で示した構成に限定されない。本発明の発光装置の画素が有する第1メモリ及び第2メモリは、入力された信号を一時記憶することができる論理回路であれば良い。

【0148】

本実施例は、実施例 1 または 2 の構成と自由に組み合わせて実施することが可能である。

【0149】

(実施例 4)

本実施例では、本発明の発光装置の画素が有するカウンタ回路の構成について説明する。

【0150】

図 7 に本実施例のカウンタ回路の回路図を示す。なお本実施例では、4 ビットのデジタルビデオ信号に対応する発光装置の画素に設けられているカウンタ回路について説明する。

【0151】

図 7 に示すカウンタ回路は、5 つのフリップフロップ回路 601__1 ~ 601__5 と、4 つのハーフアダー回路 602__1 ~ 602__4 と、インバーター 603 とを有している。なお、本実施例では 4 ビットのデジタルビデオ信号に対応する発光装置について説明しているので、カウンタ回路はフリップフロップ回路を 5 つ、ハーフアダー回路を 4 つ有している。n ビットのデジタルビデオ信号に対応する発光装置の場合、カウンタ回路が有するフリップフロップ回路を $n + 1$ 、ハーフアダー回路を n 有している。また、インバーター 603 の数は、図 7 に示したカウンタ回路が有する数に限定されない。

【0152】

カウンタ回路には、図 7 に示す配線からクロック信号 CK、クロック信号の極性を反転させた信号 CKb、第 1 リセット信号 Res が入力されている。また out1 ~ out4 はカウンタ回路の出力端子を意味している。

【0153】

図 8 を用いて、フリップフロップ回路 601__1 ~ 601__5 の構成について説明する。図 8 (A) には、図 7 で示したフリップフロップ回路 601__1 ~ 601__5 の論理記号が示されている。図 8 (A) に示すフリップフロップ回路は、リセット付遅延型フリップフロップ回路 (以下 RD 型 FF と示す) である。図 8 (B)、図 8 (C) には、図 8 (A) に示した論理記号に対応する RD 型 FF

の詳しい回路図が示されている。

【0154】

図8（B）に示すRD型FFは、クロックインバーター701～704、インバーター705、NAND706を有している。CKとCKbはクロックドインバーター701～704に入力されている。

【0155】

図8（B）に示すRD型FFは、アナログスイッチ711～714、インバーター715～722、NOR723、NAND724を有している。

【0156】

本実施例で用いられるフリップフロップ回路は、図8に示した構成に限定されない。本実施例で用いられるフリップフロップ回路は、RD型FFであればどのような構成を有していても良い。

【0157】

次に図9を用いて、ハーフアダー回路602__1～602__4の構成について説明する。図9（A）には、図7で示したハーフアダー回路602__1～602__4の論理記号が示されている。図9（A）に示すハーフアダー回路は、入力端子A、Bに入力される信号によって、出力端子C、Sから出力される信号が定まる。表3にハーフアダー回路602__1～602__4の動作機能を示す。

【0158】

【表3】

A	B	C	S
1	1	1	0
1	0	0	1
0	1	0	1
0	0	0	0

【0159】

図9（B）、図9（C）、図9（D）には、図9（A）に示した論理記号に対応するハーフアダー回路の詳しい回路図が示されている。

【0160】

図9（B）に示すハーフアダー回路は、NAND731、インバーター732、NOR733、734を有している。

【0161】

図9（C）に示すハーフアダー回路は、アナログスイッチ735、736、インバーター737、738、NOR739を有している。

【0162】

図9（D）に示すハーフアダー回路は、アナログスイッチ740、インバーター741、742、NOR743、pチャネル型TFT744、nチャネル型TFT745を有している。

【0163】

本実施例で用いられるハーフアダー回路は、図9に示した構成に限定されない。本実施例で用いられるハーフアダー回路は、表3に示した動作機能を有していれば、どのような構成を有していても良い。

【0164】

なお本発明の発光装置の画素に設けられたカウンタ回路は、本実施例で示した構成に限定されない。入力信号を受けると加算或いは減算を行い、入力信号のカウントを行う回路であれば、どのような構成を有していても良い。

【0165】

本実施例は、実施例1～3の構成と自由に組み合わせて実施することが可能である。

【0166】

（実施例5）

本発明の発光装置では、ソース信号線に入力されるデジタルビデオ信号は、ソース信号線駆動回路から出力されている。またゲート信号線に入力される選択信号は、ゲート信号線駆動回路から出力されている。本実施例では、本発明において用いられるソース信号線駆動回路及びゲート信号線駆動回路の構成について説明する。

【0167】

図10(A)に本実施例のソース信号線駆動回路301のブロック図を示す。ソース信号線駆動回路301は、シフトレジスタ302、ラッチ(A)303、ラッチ(B)304を有している。

【0168】

ソース信号線駆動回路301において、シフトレジスタ302にクロック信号(CLK)およびスタートパルス(SP)が入力される。シフトレジスタ302は、これらのクロック信号(CLK)およびスタートパルス(SP)に基づきタイミング信号を順に発生させ、バッファ等(図示せず)を通して後段の回路へタイミング信号を順次入力する。

【0169】

シフトレジスタ302からのタイミング信号は、バッファ等によって緩衝増幅される。タイミング信号が入力される配線には、多くの回路あるいは素子が接続されているために負荷容量(寄生容量)が大きい。この負荷容量が大きいため、生ずるタイミング信号の立ち上がりまたは立ち下がりの”鈍り”を防ぐために、このバッファが設けられる。なおバッファは必ずしも設ける必要はない。

【0170】

バッファによって緩衝増幅されたタイミング信号は、ラッチ(A)303に入力される。ラッチ(A)303は、nビットデジタルビデオ信号を処理する複数のステージのラッチを有している。ラッチ(A)303は、前記タイミング信号が入力されると、ソース信号線駆動回路301の外部から入力されるnビットのデジタルビデオ信号を順次取り込み、保持する。

【0171】

なお、ラッチ(A)303にデジタルビデオ信号を取り込む際に、ラッチ(A)303が有する複数のステージのラッチに、順にデジタルビデオ信号を入力しても良い。しかし本発明はこの構成に限定されない。ラッチ(A)303が有する複数のステージのラッチをいくつかのグループに分け、各グループごとに並行して同時にデジタルビデオ信号を入力する、いわゆる分割駆動を行っても良い。なおこのときのグループの数を分割数と呼ぶ。例えば4つのステージごとにラッチをグループに分けた場合、4分割で分割駆動すると言う。

【0172】

ラッチ (A) 303 の全てのステージのラッチにデジタルビデオ信号の書き込みが一通り終了するまでの時間を、ライン期間と呼ぶ。実際には、上記ライン期間に水平帰線期間が加えられた期間をライン期間に含むことがある。

【0173】

1 ライン期間が終了すると、ラッチ (B) 304 にラッチシグナル (Latch Signal) が入力される。この瞬間、ラッチ (A) 303 に書き込まれ保持されているデジタルビデオ信号は、ラッチ (B) 304 に一斉に送出され、ラッチ (B) 304 の全ステージのラッチに書き込まれ、保持される。

【0174】

デジタルビデオ信号をラッチ (B) 304 に送出し終えたラッチ (A) 303 には、シフトレジスタ 302 からのタイミング信号に基づき、デジタルビデオ信号の書き込みが順次行われる。

【0175】

この2順目の1ライン期間中には、ラッチ (B) 303 に書き込まれ、保持されているデジタルビデオ信号がソース信号線に入力される。

【0176】

図10 (B) はゲート信号線駆動回路の構成を示すブロック図である。

【0177】

ゲート信号線駆動回路 305 は、それぞれシフトレジスタ 306、バッファ 307 を有している。また場合によってはレベルシフトを有していても良い。

【0178】

ゲート信号線駆動回路 305 において、シフトレジスタ 306 からのタイミング信号がバッファ 307 に入力され、対応するゲート信号線に入力される。ゲート信号線には、1 ライン分の画素の第1スイッチング用 TFT のゲート電極が接続されている。そして、1 ライン分の画素の第1スイッチング用 TFT を一斉に ON にしなくてはならないので、バッファは大きな電流を流すことが可能なものが用いられる。

【0179】

なお、本発明の発光装置が有するソース信号線駆動回路とゲート信号線駆動回路は、本実施例で示した構成に限定されない。また、ソース信号線駆動回路とゲート信号線駆動回路の数は、必ずしも1つづつとは限らない。1つの画素部に画像を表示するために、ソース信号線駆動回路が複数設けられていても良いし、ゲート信号線駆動回路が複数設けられていても良い。

【0180】

また、ソース信号線駆動回路とゲート信号線駆動回路は、必ずしも画素部と同じ基板上に形成されていなくても良く、異なる基板上に形成してFPC等のコネクタを介して接続されていても良い。

【0181】

本実施例は実施例1～4と自由に組み合わせて実施することが可能である。

【0182】

(実施例6)

本発明の発光装置の作成方法の一例について、図11～図13を用いて説明する。なおここでは、発光装置の画素部に設けられた第1スイッチング用TFT、電流制御用TFT、第1または第2メモリが有するnチャネル型TFT及びpチャネル型TFTについてのみ示している。第2スイッチング用TFTや、第1メモリ及び第2メモリが有するその他のTFTも、同様に作成することが可能である。

【0183】

まず、本実施例ではコーニング社の#7059ガラスや#1737ガラスなどに代表されるバリウムホウケイ酸ガラス、またはアルミノホウケイ酸ガラスなどのガラスからなる基板900を用いる。なお、基板900としては、透光性を有する基板であれば限定されず、石英基板を用いても良い。また、本実施例の処理温度に耐えうる耐熱性を有するプラスチック基板を用いてもよい。

【0184】

次いで、図11(A)に示すように、基板900上に酸化珪素膜、窒化珪素膜または酸化窒化珪素膜などの絶縁膜から成る下地膜901を形成する。本実施例では下地膜901として2層構造を用いるが、前記絶縁膜の単層膜または2層以

上積層させた構造を用いても良い。下地膜901の一層目としては、プラズマCVD法を用い、 SiH_4 、 NH_3 、及び N_2O を反応ガスとして成膜される酸化窒化珪素膜901aを10～200nm（好ましくは50～100nm）形成する。本実施例では、膜厚50nmの酸化窒化珪素膜901a（組成比 $\text{Si}=32\%$ 、 $\text{O}=27\%$ 、 $\text{N}=24\%$ 、 $\text{H}=17\%$ ）を形成した。次いで、下地膜901の二層目としては、プラズマCVD法を用い、 SiH_4 、及び N_2O を反応ガスとして成膜される酸化窒化珪素膜901bを50～200nm（好ましくは100～150nm）の厚さに積層形成する。本実施例では、膜厚100nmの酸化窒化珪素膜901b（組成比 $\text{Si}=32\%$ 、 $\text{O}=59\%$ 、 $\text{N}=7\%$ 、 $\text{H}=2\%$ ）を形成した。

【0185】

次いで、下地膜901上に半導体層902～905を形成する。半導体層902～905は、非晶質構造を有する半導体膜を公知の手段（スパッタ法、LPCVD法、またはプラズマCVD法等）により成膜した後、公知の結晶化処理（レーザー結晶化法、熱結晶化法、またはニッケルなどの触媒を用いた熱結晶化法等）を行って得られた結晶質半導体膜を所望の形状にパターニングして形成する。この半導体層902～905の厚さは25～80nm（好ましくは30～60nm）の厚さで形成する。結晶質半導体膜の材料に限定はないが、好ましくは珪素（シリコン）またはシリコンゲルマニウム（ $\text{Si}_x\text{Ge}_{1-x}$ （ $x=0.0001\sim0.02$ ））合金などで形成すると良い。本実施例では、プラズマCVD法を用い、55nmの非晶質珪素膜を成膜した後、ニッケルを含む溶液を非晶質珪素膜上に保持させた。この非晶質珪素膜に脱水素化（500℃、1時間）を行った後、熱結晶化（550℃、4時間）を行い、さらに結晶化を改善するためのレーザーアニール処理を行って結晶質珪素膜を形成した。そして、この結晶質珪素膜をフォトリソグラフィ法を用いたパターニング処理によって、半導体層902～905を形成した。

【0186】

また、半導体層902～905を形成した後、TFTのしきい値を制御するために、半導体層902～905に微量な不純物元素（ボロンまたはリン）をドー

ピングしてもよい。

【0187】

また、レーザー結晶化法で結晶質半導体膜を作製する場合には、パルス発振型または連続発光型のエキシマレーザーやYAGレーザー、YVO₄レーザーを用いることができる。これらのレーザーを用いる場合には、レーザー発振器から放射されたレーザー光を光学系で線状に集光し半導体膜に照射する方法を用いると良い。結晶化の条件は実施者が適宜選択するものであるが、エキシマレーザーを用いる場合はパルス発振周波数300Hzとし、レーザーエネルギー密度を100～400mJ/cm²(代表的には200～300mJ/cm²)とする。また、YAGレーザーを用いる場合にはその第2高調波を用いパルス発振周波数30～300kHzとし、レーザーエネルギー密度を300～600mJ/cm²(代表的には350～500mJ/cm²)とすると良い。そして幅100～1000μm、例えば400μmで線状に集光したレーザー光を基板全面に渡って照射し、この時の線状レーザー光の重ね合わせ率(オーバーラップ率)を50～90%として行えばよい。

【0188】

次いで、半導体層902～905を覆うゲート絶縁膜906を形成する。ゲート絶縁膜906はプラズマCVD法またはスパッタ法を用い、厚さを40～150nmとして珪素を含む絶縁膜で形成する。本実施例では、プラズマCVD法により110nmの厚さで酸化窒化珪素膜(組成比Si=32%、O=59%、N=7%、H=2%)で形成した。勿論、ゲート絶縁膜は酸化窒化珪素膜に限定されるものでなく、他の珪素を含む絶縁膜を単層または積層構造として用いても良い。

【0189】

また、酸化珪素膜を用いる場合には、プラズマCVD法でTEOS(Tetraethyl Orthosilicate)とO₂とを混合し、反応圧力40Pa、基板温度300～400℃とし、高周波(13.56MHz)電力密度0.5～0.8W/cm²で放電させて形成することができる。このようにして作製される酸化珪素膜は、その後400～500℃の熱アニールによりゲート絶縁膜として良好な特性を得る

ことができる。

【0190】

そして、ゲート絶縁膜 906 上にゲート電極を形成するための耐熱性導電層 907 を 200 ~ 400 nm (好ましくは 250 ~ 350 nm) の厚さで形成する。耐熱性導電層 907 は単層で形成しても良いし、必要に応じて二層あるいは三層といった複数の層から成る積層構造としても良い。耐熱性導電層には Ta、Ti、W から選ばれた元素、または前記元素を成分とする合金か、前記元素を組み合わせた合金膜が含まれる。これらの耐熱性導電層はスパッタ法や CVD 法で形成されるものであり、低抵抗化を図るために含有する不純物濃度を低減させることが好ましく、特に酸素濃度に関しては 30 ppm 以下とすると良い。本実施例では W 膜を 300 nm の厚さで形成する。W 膜は W をターゲットとしてスパッタ法で形成しても良いし、6 フッ化タングステン (WF_6) を用いて熱 CVD 法で形成することもできる。いずれにしてもゲート電極として使用するためには低抵抗化を図る必要があり、W 膜の抵抗率は $20 \mu\Omega \text{ cm}$ 以下にすることが望ましい。W 膜は結晶粒を大きくすることで低抵抗率化を図ることができるが、W 中に酸素などの不純物元素が多い場合には結晶化が阻害され高抵抗化する。このことより、スパッタ法による場合、純度 99.9999% の W ターゲットを用い、さらに成膜時に気相中からの不純物の混入がないように十分配慮して W 膜を形成することにより、抵抗率 $9 \sim 20 \mu\Omega \text{ cm}$ を実現することができる。

【0191】

一方、耐熱性導電層 907 に Ta 膜を用いる場合には、同様にスパッタ法で形成することが可能である。Ta 膜はスパッタガスに Ar を用いる。また、スパッタ時のガス中に適量の Xe や Kr を加えておくと、形成する膜の内部応力を緩和して膜の剥離を防止することができる。 α 相の Ta 膜の抵抗率は $20 \mu\Omega \text{ cm}$ 程度でありゲート電極に使用することができるが、 β 相の Ta 膜の抵抗率は $180 \mu\Omega \text{ cm}$ 程度でありゲート電極とするには不向きであった。Ta₂N 膜は α 相に近い結晶構造を持つので、Ta 膜の下地に Ta₂N 膜を形成すれば α 相の Ta 膜が容易に得られる。また、図示しないが、耐熱性導電層 907 の下に 2 ~ 20 nm 程度の厚さでリン (P) をドーピングしたシリコン膜を形成しておくことは有効である。

。これにより、その上に形成される導電膜の密着性向上と酸化防止を図ると同時に、耐熱性導電層 9 0 7 が微量に含有するアルカリ金属元素が第 1 の形状のゲート絶縁膜 9 0 6 に拡散するのを防ぐことができる。いずれにしても、耐熱性導電層 9 0 7 は抵抗率を $10 \sim 50 \mu\Omega \text{ cm}$ の範囲ですることが好ましい。

【 0 1 9 2 】

次に、フォトリソグラフィの技術を使用してレジストによるマスク 9 0 8 を形成する。そして、第 1 のエッチング処理を行う。本実施例では I C P エッチング装置を用い、エッチング用ガスに Cl_2 と CF_4 を用い、 1 Pa の圧力で 3.2 W/cm^2 の R F (13.56 MHz) 電力を投入してプラズマを形成して行う。基板側 (試料ステージ) にも 224 mW/cm^2 の R F (13.56 MHz) 電力を投入し、これにより実質的に負の自己バイアス電圧が印加される。この条件で W 膜のエッチング速度は約 100 nm/min である。第 1 のエッチング処理はこのエッチング速度を基に W 膜がちょうどエッチングされる時間を推定し、それよりもエッチング時間を 20 % 増加させた時間をエッチング時間とした。

【 0 1 9 3 】

第 1 のエッチング処理により第 1 のテーパ形状を有する導電層 9 0 9 ~ 9 1 2 が形成される。導電層 9 0 9 ~ 9 1 2 のテーパ部の角度は $15 \sim 30^\circ$ となるように形成される。残渣を残すことなくエッチングするためには、10 ~ 20 % 程度の割合でエッチング時間を増加させるオーバーエッチングを施すものとする。W 膜に対する酸化窒化シリコン膜 (ゲート絶縁膜 9 0 6) の選択比は 2 ~ 4 (代表的には 3) であるので、オーバーエッチング処理により、酸化窒化シリコン膜が露出した面は $20 \sim 50 \text{ nm}$ 程度エッチングされる。 (図 1 1 (B))

【 0 1 9 4 】

そして、第 1 のドーピング処理を行い一導電型の不純物元素を半導体層に添加する。ここでは、n 型を付与する不純物元素添加の工程を行う。第 1 の形状の導電層を形成したマスク 9 0 8 をそのまま残し、第 1 のテーパ形状を有する導電層 9 0 9 ~ 9 1 2 をマスクとして自己整合的に n 型を付与する不純物元素をイオンドーブ法で添加する。n 型を付与する不純物元素をゲート電極の端部におけるテーパ部とゲート絶縁膜 9 0 6 とを通して、その下に位置する半導体層に達す

るように添加するためにドーズ量を $1 \times 10^{13} \sim 5 \times 10^{14} \text{ atoms/cm}^2$ とし、加速電圧を $80 \sim 160 \text{ keV}$ として行う。n型を付与する不純物元素として15族に属する元素、典型的にはリン(P)または砒素(As)を用いるが、ここではリン(P)を用いた。このようなイオンドープ法により第1の不純物領域914~917には $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atomic/cm}^3$ の濃度範囲でn型を付与する不純物元素が添加される。(図11(C))

【0195】

この工程において、ドーピングの条件によっては、不純物が第1の形状の導電層909~912の下に回りこみ、第1の不純物領域914~917が第1の形状の導電層909~912と重なることも起こりうる。

【0196】

次に、図11(D)に示すように第2のエッチング処理を行う。エッチング処理も同様にICPエッチング装置により行い、エッチングガスに CF_4 と Cl_2 の混合ガスを用い、RF電力 $3.2 \text{ W/cm}^2 (13.56 \text{ MHz})$ 、バイアス電力 $45 \text{ mW/cm}^2 (13.56 \text{ MHz})$ 、圧力 1.0 Pa でエッチングを行う。この条件で形成される第2の形状を有する導電層918~921が形成される。その端部にはテーパ部が形成され、該端部から内側にむかって徐々に厚さが増加するテーパ形状となる。第1のエッチング処理と比較して基板側に印加するバイアス電力を低くした分等方性エッチングの割合が多くなり、テーパ部の角度は $30 \sim 60^\circ$ となる。マスク908はエッチングされて端部が削れ、マスク922となる。また、図11(D)の工程において、ゲート絶縁膜906の表面が 4.0 nm 程度エッチングされる。

【0197】

そして、第1のドーピング処理よりもドーズ量を下げ高加速電圧の条件でn型を付与する不純物元素をドーピングする。例えば、加速電圧を $70 \sim 120 \text{ keV}$ とし、 $1 \times 10^{13} / \text{cm}^2$ のドーズ量で行い、不純物濃度が大きくなった第1の不純物領域924~927と、前記第1の不純物領域924~927に接する第2の不純物領域928~931とを形成する。この工程において、ドーピングの条件によっては、不純物が第2の形状の導電層918~921の下に回りこみ

、第2の不純物領域928～931が第2の形状の導電層918～921と重なることも起こりうる。第2の不純物領域における不純物濃度は、 $1 \times 10^{16} \sim 1 \times 10^{18} \text{ atoms/cm}^3$ となるようにする。(図12(A))

【0198】

そして、(図12(B))に示すように、pチャネル型TFTを形成する半導体層902に一導電型とは逆の導電型の不純物領域933(933a、933b)を形成する。この場合も第2の形状の導電層918をマスクとしてp型を付与する不純物元素を添加し、自己整合的に不純物領域を形成する。このとき、nチャネル型TFTを形成する半導体層903、904、905は、レジストのマスク932を形成し全面を被覆しておく。ここで形成される不純物領域933はジボラン(B_2H_6)を用いたイオンドープ法で形成する。不純物領域933のp型を付与する不純物元素の濃度は、 $2 \times 10^{20} \sim 2 \times 10^{21} \text{ atoms/cm}^3$ となるようにする。

【0199】

しかしながら、この不純物領域933は詳細にはn型を付与する不純物元素を含有する2つの領域に分けて見ることができる。第3の不純物領域933aは $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ の濃度でn型を付与する不純物元素を含み、第4の不純物領域933bは $1 \times 10^{17} \sim 1 \times 10^{20} \text{ atoms/cm}^3$ の濃度でn型を付与する不純物元素を含んでいる。しかし、これらの不純物領域933bのp型を付与する不純物元素の濃度を $1 \times 10^{19} \text{ atoms/cm}^3$ 以上となるようにし、第3の不純物領域933aにおいては、p型を付与する不純物元素の濃度をn型を付与する不純物元素の濃度の1.5から3倍となるようにすることにより、第3の不純物領域でpチャネル型TFTのソース領域およびドレイン領域として機能するために何ら問題は生じない。

【0200】

その後、図12(C)に示すように、第2の形状を有する導電層918～921およびゲート絶縁膜906上に第1の層間絶縁膜937を形成する。第1の層間絶縁膜937は酸化シリコン膜、酸化窒化シリコン膜、窒化シリコン膜、またはこれらを組み合わせた積層膜で形成すれば良い。いずれにしても第1の層間絶

縁膜 937 は無機絶縁物材料から形成する。第 1 の層間絶縁膜 937 の膜厚は 100 ~ 200 nm とする。第 1 の層間絶縁膜 937 として酸化シリコン膜を用いる場合には、プラズマ CVD 法で TEOS と O_2 とを混合し、反応圧力 40 Pa、基板温度 300 ~ 400 °C とし、高周波 (13.56 MHz) 電力密度 0.5 ~ 0.8 W/cm² で放電させて形成することができる。また、第 1 の層間絶縁膜 937 として酸化窒化シリコン膜を用いる場合には、プラズマ CVD 法で SiH_4 、 N_2O 、 NH_3 から作製される酸化窒化シリコン膜、または SiH_4 、 N_2O から作製される酸化窒化シリコン膜で形成すれば良い。この場合の作製条件は反応圧力 20 ~ 200 Pa、基板温度 300 ~ 400 °C とし、高周波 (60 MHz) 電力密度 0.1 ~ 1.0 W/cm² で形成することができる。また、第 1 の層間絶縁膜 937 として SiH_4 、 N_2O 、 H_2 から作製される酸化窒化水素化シリコン膜を適用しても良い。窒化シリコン膜も同様にプラズマ CVD 法で SiH_4 、 NH_3 から作製することが可能である。

【0201】

そして、それぞれの濃度で添加された n 型または p 型を付与する不純物元素を活性化する工程を行う。この工程はファーネスアニール炉を用いる熱アニール法で行う。その他に、レーザーアニール法、またはラピッドサーマルアニール法 (RTA 法) を適用することができる。熱アニール法では酸素濃度が 1 ppm 以下、好ましくは 0.1 ppm 以下の窒素雰囲気中で 400 ~ 700 °C、代表的には 500 ~ 600 °C で行うものであり、本実施例では 550 °C で 4 時間の熱処理を行った。また、基板 501 に耐熱温度が低いプラスチック基板を用いる場合にはレーザーアニール法を適用することが好ましい。

【0202】

活性化の工程に続いて、雰囲気ガスを変化させ、3 ~ 100 % の水素を含む雰囲気中で、300 ~ 450 °C で 1 ~ 12 時間の熱処理を行い、半導体層を水素化する工程を行う。この工程は熱的に励起された水素により半導体層にある 10^{16} ~ $10^{18}/cm^3$ のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化 (プラズマにより励起された水素を用いる) を行っても良い。いずれにしても、半導体層 902 ~ 905 中の欠陥密度を $10^{16}/cm^3$ 以下と

することが望ましく、そのために水素を0.01~0.1atomic%程度付与すれば良い。

【0203】

そして、有機絶縁物材料からなる第2の層間絶縁膜939を1.0~2.0 μ mの平均膜厚で形成する。有機樹脂材料としては、ポリイミド、アクリル、ポリアミド、ポリイミドアミド、BCB（ベンゾシクロブテン）等を使用することができる。例えば、基板に塗布後、熱重合するタイプのポリイミドを用いる場合には、クリーンオープンで300℃で焼成して形成する。また、アクリルを用いる場合には、2液性のものを用い、主材と硬化剤を混合した後、スピナーを用いて基板全面に塗布した後、ホットプレートで80℃で60秒の予備加熱を行い、さらにクリーンオープンで250℃で60分焼成して形成することができる。

【0204】

このように、第2の層間絶縁膜939を有機絶縁物材料で形成することにより、表面を良好に平坦化させることができる。また、有機樹脂材料は一般に誘電率が低いので、寄生容量を低減できる。しかし、吸湿性があり保護膜としては適さないので、本実施例のように、第1の層間絶縁膜937として形成した酸化シリコン膜、酸化窒化シリコン膜、窒化シリコン膜などと組み合わせて用いると良い。

【0205】

その後、所定のパターンのレジストマスクを形成し、それぞれの半導体層に形成されソース領域またはドレイン領域とする不純物領域に達するコンタクトホールを形成する。コンタクトホールはドライエッチング法で形成する。この場合、エッチングガスに CF_4 、 O_2 、Heの混合ガスを用い有機樹脂材料から成る第2の層間絶縁膜939をまずエッチングし、その後、続いてエッチングガスを CF_4 、 O_2 として第1の層間絶縁膜937をエッチングする。さらに、半導体層との選択比を高めるために、エッチングガスを CHF_3 に切り替えて第3の形状のゲート絶縁膜570をエッチングすることによりコンタクトホールを形成することができる。

【0206】

そして、導電性の金属膜をスパッタ法や真空蒸着法で形成し、マスクでパターニングし、その後エッチングすることで、ソース配線940～943と、ドレイン配線944～945と、画素電極947とを形成する。なお、本実施例ではこの配線を、下層側から50nmのチタン膜、200nmのチタンを含むアルミニウム膜、200nmのリチウムを含むアルミニウム膜をスパッタ法で連続形成した三層構造の積層膜とする。また、リチウムを含むアルミニウム膜のみ蒸着法で形成することもできる。但し、その場合においても大気開放しないで連続形成することが望ましい。

【0207】

ここで画素電極947の最表面が仕事関数の小さい金属面となるようにすることは重要である。これは画素電極947がそのまま発光素子の陰極として機能することになるからである。そのため、少なくとも画素電極947の最表面は周期表の1族もしくは2族に属する元素を含む金属膜またはビスマス(Bi)膜とすることが好ましい。また、ソース配線940～943と、ドレイン配線944～945は、画素電極947と同時に形成されるため、同一の導電膜で形成されることになる。

【0208】

次に、図13(B)に示すように、画素電極947に対応する位置に開口部を有する第3の層間絶縁膜949を形成する。第3の層間絶縁膜949は絶縁性を有していて、バンクとして機能し、隣接する画素の有機化合物層を分離する役割を有している。本実施例ではレジストを用いて第3の層間絶縁膜949を形成する。

【0209】

本実施例では、第3の層間絶縁膜949の厚さを1 μ m程度とし、開口部は画素電極947に近くなればなるほど広くなる、所謂逆テーパー状になるように形成する。これはレジストを成膜した後、開口部を形成しようとする部分以外をマスクで覆い、UV光を照射して露光し、露光された部分を現像液で除去することによって形成される。また、第3の層間絶縁膜949は、次に形成する発光層等の有機有機化合物層が画素電極947の端部に直接触れないようにする目的もあ

る。

【0210】

また本実施例のように、第3の層間絶縁膜949を逆テーパ状にすることで、後の工程において有機化合物層を成膜した時に、隣り合う画素同士で有機化合物層が分断されるため、有機化合物層と、第3の層間絶縁膜949の熱膨張係数が異なっているにもかかわらず、有機化合物層がひび割れたり、剥離したりするのを抑えることができる。

【0211】

なお、本実施例においては、第3の層間絶縁膜949としてレジストでなる膜を用いているが、場合によっては、ポリイミド、ポリアミド、アクリル、BCB（ベンゾシクロブテン）、酸化珪素膜等を用いることもできる。第3の層間絶縁膜949は絶縁性を有する物質であれば、有機物と無機物のどちらでも良い。

【0212】

次に、有機化合物層950を蒸着法により形成する。なお、本実施例では、正孔注入層および発光層の積層体を有機化合物層と呼んでいる。即ち、発光層に対して正孔注入層、正孔輸送層、正孔阻止層、電子輸送層、電子注入層もしくは電子阻止層を組み合わせた積層体を有機化合物層と定義する。なお、これらは有機材料であっても無機材料であっても良いし、高分子であっても低分子であっても良い。

【0213】

本実施例では、まず電子注入層としてフッ化リチウム（LiF）膜を20nmの厚さに成膜し、さらに発光層としてアルミキノリラト錯体（Alq₃）を80nmの厚さに形成する。また、発光層に対して発光中心となるドーパント（代表的には蛍光色素）を共蒸着により添加しても良い。

【0214】

次に、有機化合物層950を形成したら、仕事関数が大きく、可視光に対して透明な酸化物導電膜からなる陽極951を300nmの厚さに形成する。本実施例では、酸化亜鉛に酸化ガリウムを添加した酸化物導電膜を蒸着法を用いて形成する。また、他の酸化物導電膜として、酸化インジウム、酸化亜鉛、酸化スズ、

もしくはそれらを組み合わせた化合物からなる酸化物導電膜を用いることも可能である。こうして画素電極（陰極）947、有機化合物層950および陽極951を含む発光素子954が形成される。

【0215】

なお、陽極951を形成した後、発光素子954を完全に覆うようにして保護膜953を設けることは有効である。保護膜953としては、炭素膜、窒化珪素膜もしくは窒化酸化珪素膜を含む絶縁膜からなり、該絶縁膜を単層もしくは組み合わせた積層で用いる。

【0216】

この際、カバレッジの良い膜を保護膜として用いることが好ましく、炭素膜、特にDLC（ダイヤモンドライクカーボン）膜を用いることは有効である。DLC膜は室温から100℃以下の温度範囲で成膜可能であるため、耐熱性の低い有機化合物層950の上方にも容易に成膜することができる。また、DLC膜は酸素に対するブロッキング効果が高く、有機化合物層950の酸化を抑制することが可能である。そのため、この後に続く封止工程を行う間に有機化合物層950が酸化するといった問題を防止できる。

【0217】

こうして図13（B）に示すような構造の表示用パネルが完成する。

【0218】

pチャネル型TFT960及びnチャネル型TFT961は第1メモリまたは第2メモリが有するTFTである。962は第1スイッチング用TFT、963は電流制御用TFTである。

【0219】

なお、本実施例で示した作成方法を用いて、駆動回路が有するTFTを、画素部が有するTFTと同時に形成することが可能である。発光素子を用いた発光装置の場合、駆動回路の電源の電圧は5～6V程度、最大でも10V程度で十分なので、駆動回路においてTFTのホットエレクトロンによる劣化があまり問題にならない。また駆動回路を高速で動作させる必要があるので、TFTのゲート容量は小さいほうがより好ましい。よって、TFTの半導体層が有する第2の不純

物領域と、第4の不純物領域とが、それぞれゲート電極と重ならない本実施例の構成を有するTFTは、発光装置の駆動回路のTFTとしてより好ましい。

【0220】

本発明の発光装置の作製方法は、本実施例において説明した作製方法に限定されない。本発明の発光装置は公知の方法を用いて作成することが可能である。

【0221】

なお本実施例は、実施例1～5と自由に組み合わせて実施することが可能である。

【0222】

(実施例7)

本実施例では、実施例6とは異なる発光装置の作製方法について説明する。

【0223】

第2の層間絶縁膜939を形成するまでの工程は、実施例6と同じである。図14(A)に示すように、第2の層間絶縁膜939を形成した後、第2の層間絶縁膜939に接するように、パッシベーション膜981を形成する。

【0224】

パッシベーション膜981は、第2の層間絶縁膜939に含まれる水分が、画素電極947や、第3の層間絶縁膜982を介して、有機化合物層950に入るのを防ぐのに効果的である。第2の層間絶縁膜939が有機樹脂材料を有している場合、有機樹脂材料は水分を多く含むため、パッシベーション膜981を設けることは特に有効である。

【0225】

本実施例では、パッシベーション膜981として、窒化珪素膜を用いた。

【0226】

その後、所定のパターンのレジストマスクを形成し、それぞれの半導体層に形成されソース領域またはドレイン領域とする不純物領域に達するコンタクトホールを形成する。コンタクトホールはドライエッチング法で形成する。この場合、エッチングガスに CF_4 、 O_2 、 He の混合ガスを用い有機樹脂材料から成る第2の層間絶縁膜939をまずエッチングし、その後、続いてエッチングガスを CF

4、 O_2 として第1の層間絶縁膜937をエッチングする。さらに、半導体層との選択比を高めるために、エッチングガスを CHF_3 に切り替えてゲート絶縁膜906をエッチングすることによりコンタクトホールを形成することができる。

【0227】

そして、導電性の金属膜をスパッタ法や真空蒸着法で形成し、マスクでパターニングし、その後エッチングすることで、ソース配線940～943と、ドレイン配線944～945と、画素電極947とを形成する。なお、本実施例ではこの配線を、下層側から50nmのチタン膜、200nmのチタンを含むアルミニウム膜、200nmのリチウムを含むアルミニウム膜をスパッタ法で連続形成した三層構造の積層膜とする。また、リチウムを含むアルミニウム膜のみ蒸着法で形成することもできる。但し、その場合においても大気開放しないで連続形成することが望ましい。

【0228】

ここで画素電極947の最表面が仕事関数の小さい金属面となるようにすることは重要である。これは画素電極947がそのまま発光素子の陰極として機能することになるからである。そのため、少なくとも画素電極947の最表面は周期表の1族もしくは2族に属する元素を含む金属膜またはビスマス(Bi)膜とすることが好ましい。また、ソース配線940～943と、ドレイン配線944～945は、画素電極947と同時に形成されるため、同一の導電膜で形成されることになる。

【0229】

次に、図14(B)に示すように、画素電極947に対応する位置に開口部を有する第3の層間絶縁膜982を形成する。本実施例では、開口部を形成する際、ウェットエッチング法を用いることでテーパー形状の側壁とした。実施例6に示した場合と異なり、第3の層間絶縁膜982上に形成される有機化合物層は分断されないため、開口部の側壁が十分になだらかでないと段差に起因する有機化合物層の劣化が顕著な問題となってしまうため、注意が必要である。

【0230】

なお、本実施例においては、第3の層間絶縁膜982として酸化珪素でなる膜

を用いているが、場合によっては、ポリイミド、ポリアミド、アクリル、BCB（ベンゾシクロブテン）といった有機樹脂膜を用いることもできる。

【 0 2 3 1 】

そして、第3の層間絶縁膜982上に有機化合物層950を形成する前に、第3の層間絶縁膜982の表面にアルゴンを用いたプラズマ処理を施し、第3の層間絶縁膜982の表面を緻密化しておくのが好ましい。上記構成によって、第3の層間絶縁膜982から有機化合物層950に水分が入るのを防ぐことができる。

【 0 2 3 2 】

次に、有機化合物層950を蒸着法により形成する。なお、本実施例では、正孔注入層および発光層の積層体を有機化合物層と呼んでいる。即ち、発光層に対して正孔注入層、正孔輸送層、正孔阻止層、電子輸送層、電子注入層もしくは電子阻止層を組み合わせた積層体を有機化合物層と定義する。なお、これらは有機材料であっても無機材料であっても良いし、高分子であっても低分子であっても良い。

【 0 2 3 3 】

本実施例では、まず電子注入層としてフッ化リチウム（LiF）膜を20nmの厚さに成膜し、さらに発光層としてアルミキノリト錯体（Alq₃）を80nmの厚さに形成する。また、発光層に対して発光中心となるドーパント（代表的には蛍光色素）を共蒸着により添加しても良い。

【 0 2 3 4 】

次に、有機化合物層950を形成したら、仕事関数が大きく、可視光に対して透明な酸化物導電膜からなる陽極951を300nmの厚さに形成する。本実施例では、酸化亜鉛に酸化ガリウムを添加した酸化物導電膜を蒸着法を用いて形成する。また、他の酸化物導電膜として、酸化インジウム、酸化亜鉛、酸化スズ、もしくはそれらを組み合わせた化合物からなる酸化物導電膜を用いることも可能である。こうして画素電極（陰極）947、有機化合物層950および陽極951を含む発光素子954が形成される。

【 0 2 3 5 】

なお、陽極 9 5 1 を形成した後、発光素子 9 5 4 を完全に覆うようにして保護膜 9 5 3 を設けることは有効である。保護膜 9 5 3 としては、炭素膜、窒化珪素膜もしくは窒化酸化珪素膜を含む絶縁膜からなり、該絶縁膜を単層もしくは組み合わせた積層で用いる。

【 0 2 3 6 】

この際、カバレッジの良い膜を保護膜として用いることが好ましく、炭素膜、特に DLC（ダイヤモンドライクカーボン）膜を用いることは有効である。DLC 膜は室温から 1 0 0℃以下の温度範囲で成膜可能であるため、耐熱性の低い有機化合物層 9 5 0 の上方にも容易に成膜することができる。また、DLC 膜は酸素に対するブロッキング効果が高く、有機化合物層 9 5 0 の酸化を抑制することが可能である。そのため、この後に続く封止工程を行う間に有機化合物層 9 5 0 が酸化するといった問題を防止できる。

【 0 2 3 7 】

こうして図 1 4（B）に示すような構造の表示用パネルが完成する。

【 0 2 3 8 】

p チャネル型 TFT 9 6 0 及び n チャネル型 TFT 9 6 1 は第 1 メモリまたは第 2 メモリが有する TFT である。9 6 2 は第 1 スイッチング用 TFT、9 6 3 は電流制御用 TFT である。

【 0 2 3 9 】

なお、本実施例で示した作成方法を用いて、駆動回路が有する TFT を、画素部が有する TFT と同時に形成することが可能である。発光素子を用いた発光装置の場合、駆動回路の電源の電圧は 5 ～ 6 V 程度、最大でも 1 0 V 程度で十分なので、駆動回路において TFT のホットエレクトロンによる劣化があまり問題にならない。また駆動回路を高速で動作させる必要があるので、TFT のゲート容量は小さいほうがより好ましい。よって、TFT の半導体層が有する第 2 の不純物領域と、第 4 の不純物領域とが、それぞれゲート電極と重ならない本実施例の構成を有する TFT は、発光装置の駆動回路の TFT としてより好ましい。

【 0 2 4 0 】

本発明の発光装置の作製方法は、本実施例において説明した作製方法に限定さ

れない。本発明の発光装置は公知の方法を用いて作成することが可能である。

【 0 2 4 1 】

なお本実施例は、実施例 1 ～ 7 と自由に組み合わせて実施することが可能である。

【 0 2 4 2 】

(実施例 8)

本実施例では、本発明の発光装置に用いられる T F T として、活性層に有機半導体を用いた場合について説明する。なお、以下、活性層に有機半導体を用いた T F T を、有機 T F T と呼ぶ。

【 0 2 4 3 】

図 1 8 (A) に、プレーナー型の有機 T F T の断面図を示す。基板 8 0 0 1 上にゲート電極 8 0 0 2 が形成されている。そしてゲート電極 8 0 0 2 を覆って、基板 8 0 0 1 上にゲート絶縁膜 8 0 0 3 が形成されている。また、ゲート絶縁膜 8 0 0 3 上にソース電極 8 0 0 5 及びドレイン電極 8 0 0 6 が形成されている。さらに、ソース電極 8 0 0 5 及びドレイン電極 8 0 0 6 を覆って、ゲート絶縁膜 8 0 0 3 上に有機半導体からなる膜（有機半導体膜） 8 0 0 4 が形成されている。

【 0 2 4 4 】

図 1 8 (B) に、逆スタガー型の有機 T F T の断面図を示す。基板 8 1 0 1 上にゲート電極 8 1 0 2 が形成されている。そしてゲート電極 8 1 0 2 を覆って、基板 8 1 0 1 上にゲート絶縁膜 8 1 0 3 が形成されている。また、ゲート絶縁膜 8 1 0 3 上に有機半導体膜 8 1 0 4 が形成されている。さらに、有機半導体膜 8 1 0 4 上にソース電極 8 1 0 5 及びドレイン電極 8 1 0 6 が形成されている。

【 0 2 4 5 】

図 1 8 (C) に、スタガー型の有機 T F T の断面図を示す。基板 8 2 0 1 上にソース電極 8 2 0 5 及びドレイン電極 8 1 0 6 が形成されている。そしてソース電極 8 2 0 5 及びドレイン電極 8 1 0 6 を覆って、基板 8 2 0 1 上に有機半導体膜 8 2 0 4 が形成されている。また、有機半導体膜 8 2 0 4 上にゲート絶縁膜 8 2 0 3 が形成されている。さらに、ゲート絶縁膜 8 2 0 3 上にゲート電極 8 2 0

2が形成されている。

【0246】

有機半導体は高分子系と低分子系に分類される。高分子系の代表的な材料は、ポリチオフェン、ポリアセチレン、ポリ（N-メチルピロール）、ポリ（3-アルキルチオフェン）、ポリアリレンビニレン等が挙げられる。

【0247】

ポリチオフェンを有する有機半導体膜は、電界重合法または真空蒸着法で形成することができる。ポリアセチレンを有する有機半導体膜は、化学重合法または塗布法で形成することができる。ポリ（N-メチルピロール）を有する有機半導体膜は、化学重合法で形成することができる。ポリ（3-アルキルチオフェン）を有する有機半導体膜は、塗布法またはLB法で形成することができる。ポリアリレンビニレンを有する有機半導体膜は、塗布法で形成することができる。

【0248】

また、低分子系の代表的な材料は、クォータチオフェン、ジメチルクォータチオフェン、ジフタロシアニン、アントラセン、テトラセン等が挙げられる。これら低分子系の材料を用いた有機半導体膜は、主に、蒸着法や、溶剤を用いたキャストによって形成することができる。

【0249】

本実施例の構成は、実施例1～7の構成と自由に組み合わせて実施することができる。

【0250】

（実施例9）

本発明において、三重項励起子からの燐光を発光に利用できる電場を加えることで発生するルミネッセンスが得られる有機化合物材料を用いることで、外部発光量子効率を飛躍的に向上させることができる。これにより、発光素子の低消費電力化、長寿命化、および軽量化が可能になる。

【0251】

ここで、三重項励起子を利用し、外部発光量子効率を向上させた報告を示す。

(T.Tsutsui, C.Adachi, S.Saito, Photochemical Processes in Organized Mol

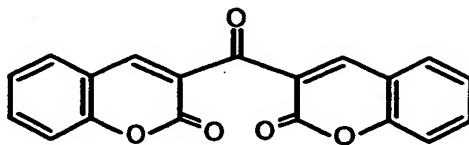
ecular Systems, ed.K.Honda, (Elsevier Sci.Pub., Tokyo,1991) p.437.)

【0252】

上記の論文により報告された有機化合物材料（クマリン色素）の分子式を以下に示す。

【0253】

【化1】



【0254】

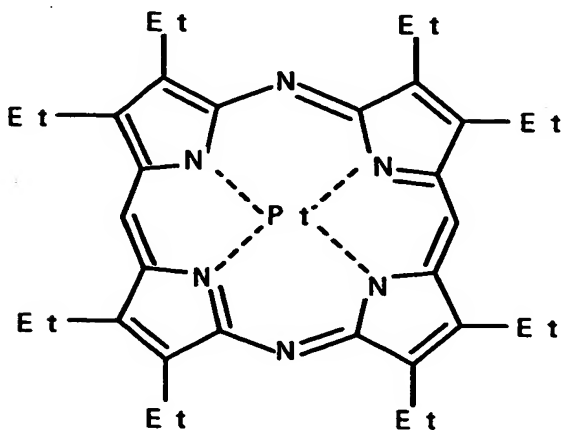
(M.A.Baldo, D.F.O'Brien, Y.You, A.Shoustikov, S.Sibley, M.E.Thompson, S.R.Forrest, Nature 395 (1998) p.151.)

【0255】

上記の論文により報告された有機化合物材料（Pt 錯体）の分子式を以下に示す。

【0256】

【化2】



【0257】

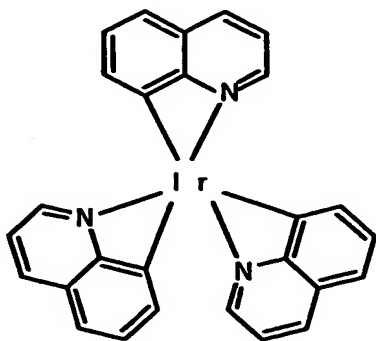
(M.A.Baldo, S.Lamansky, P.E.Burrows, M.E.Thompson, S.R.Forrest, Appl. Phys.Lett.,75 (1999) p.4.) (T.Tsutsui, M.-J.Yang, M.Yahiro, K.Nakamura, T.Watanabe, T.tsuji, Y.Fukuda, T.Wakimoto, S.Mayaguchi, Jpn.Appl.Phys., 38 (12B) (1999) L1502.)

【 0 2 5 8 】

上記の論文により報告された有機化合物材料（I r 錯体）の分子式を以下に示す。

【 0 2 5 9 】

【化 3】



【 0 2 6 0 】

以上のように三重項励起子からの燐光発光を利用できれば原理的には一重項励起子からの蛍光発光を用いる場合より 3 ～ 4 倍の高い外部発光量子効率の実現が可能となる。

【 0 2 6 1 】

なお、本実施例の構成は、実施例 1 ～ 実施例 8 のいずれの構成とも自由に組み合わせる実施することが可能である。

【 0 2 6 2 】

（実施例 1 0）

図 1 9 は発光装置の外観を示す図であり、基板 7 2 1 に画素部 7 2 2、ゲート側駆動回路 7 2 4、ソース側駆動回路 7 2 3、端子 7 2 6 が形成された状態を示

している。端子 7 2 6 と各駆動回路は引き回し配線 7 2 5 で接続されている。画素部 7 2 2 には、映像信号を入力する信号線が延びる方向に隔壁層を兼ねた配線 7 2 8 が形成されている。これらの配線 7 2 8 は、ソース信号線や電源供給線などが含まれるが、ここではその詳細を省略している。配線 7 2 8 のうち、電源供給線は引き回し配線 7 3 3 によって端子 7 2 6 に接続されている。

【 0 2 6 3 】

また、引き回し配線 7 2 7 は対向電極と端子とを接続するための配線である。

【 0 2 6 4 】

また、必要に応じて CPU、メモリーなどを形成した IC チップが COG (Chip on Glass) 法などにより素子基板に実装されていても良い。

【 0 2 6 5 】

発光素子は配線 7 2 8 の間に形成され、その構造は図 2 0 に示されている。画素電極 7 3 0 は各画素に対応する電極であり、配線 7 2 8 の間に形成されている。その上層には有機化合物層 7 3 1 が配線 7 2 8 の間に形成され、複数の画素電極 7 3 0 に渡ってストライプ状に連続的に形成されている。

【 0 2 6 6 】

対向電極 7 3 2 は、有機化合物層 7 3 1 の上層に形成され、同様に配線 7 2 8 の間にストライプ状に形成されている。さらに対向電極 7 3 2 は、配線 7 2 8 で挟まれない領域、即ち画素部 7 2 2 の外側の領域において接続されている。接続部は、対向電極の一方の端部または、その両端に形成されていても良い。

【 0 2 6 7 】

引き回し配線 7 2 7 はゲート信号線 (図示せず) と同じ層に形成されており、配線 7 2 8 とは直接接触していない。そして引き回し配線 7 2 7 と対向電極 7 3 2 は重なっている部分においてコンタクトを取っている。

【 0 2 6 8 】

発光素子は、画素電極 7 3 0、有機化合物層 7 3 1、対向電極 7 3 2 が重なる領域によって定義される。画素電極 7 3 2 はアクティブマトリクス型の発光装置において、個々に能動素子と接続されている。対向電極に欠陥が有り、仮に画素部の内側で欠陥があると、線欠陥として認識されてしまう可能性があるが、図 2

0で示すように対向電極の両端を接続し、共通電極とする構造は、そのような線欠陥が発生する確率を低減させることを可能としている。

【0269】

(実施例11)

発光素子を用いた発光装置は自発光型であるため、液晶を用いた電気光学装置に比べ、明るい場所での視認性に優れ、視野角が広い。従って、様々な電子機器の表示部に用いることができる。

【0270】

本発明の発光装置を用いた電子機器として、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、オーディオコンポ等）、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等）、記録媒体を備えた画像再生装置（具体的にはデジタルビデオディスク（DVD）等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置）などが挙げられる。特に、斜め方向から画面を見る機会が多い携帯情報端末は、視野角の広さが重要視されるため、発光装置を用いることが望ましい。それら電子機器の具体例を図15に示す。

【0271】

図15（A）はエレクトロルミネッセンス表示装置であり、筐体2001、支持台2002、表示部2003、スピーカー部2004、ビデオ入力端子2005等を含む。本発明の発光装置は表示部2003に用いることができる。発光装置は自発光型であるためバックライトが必要なく、液晶表示装置よりも薄い表示部とすることができる。なお、エレクトロルミネッセンス表示装置は、パソコン用、TV放送受信用、広告表示用などの全ての情報表示用表示装置が含まれる。

【0272】

図15（B）はデジタルスチルカメラであり、本体2101、表示部2102、受像部2103、操作キー2104、外部接続ポート2105、シャッター2106等を含む。本発明の発光装置は表示部2102に用いることができる。

【0273】

図 1 5 (C) はノート型パーソナルコンピュータであり、本体 2 2 0 1、筐体 2 2 0 2、表示部 2 2 0 3、キーボード 2 2 0 4、外部接続ポート 2 2 0 5、ポインティングマウス 2 2 0 6 等を含む。本発明の発光装置は表示部 2 2 0 3 に用いることができる。

【 0 2 7 4 】

図 1 5 (D) はモバイルコンピュータであり、本体 2 3 0 1、表示部 2 3 0 2、スイッチ 2 3 0 3、操作キー 2 3 0 4、赤外線ポート 2 3 0 5 等を含む。本発明の発光装置は表示部 2 3 0 2 に用いることができる。

【 0 2 7 5 】

図 1 5 (E) は記録媒体を備えた携帯型の画像再生装置（具体的には DVD 再生装置）であり、本体 2 4 0 1、筐体 2 4 0 2、表示部 A 2 4 0 3、表示部 B 2 4 0 4、記録媒体（DVD 等）読み込み部 2 4 0 5、操作キー 2 4 0 6、スピーカー部 2 4 0 7 等を含む。表示部 A 2 4 0 3 は主として画像情報を表示し、表示部 B 2 4 0 4 は主として文字情報を表示するが、本発明の発光装置はこれら表示部 A、B 2 4 0 3、2 4 0 4 に用いることができる。なお、記録媒体を備えた画像再生装置には家庭用ゲーム機器なども含まれる。

【 0 2 7 6 】

図 1 5 (F) はゴーグル型ディスプレイ（ヘッドマウントディスプレイ）であり、本体 2 5 0 1、表示部 2 5 0 2、アーム部 2 5 0 3 を含む。本発明の発光装置は表示部 2 5 0 2 に用いることができる。

【 0 2 7 7 】

図 1 5 (G) はビデオカメラであり、本体 2 6 0 1、表示部 2 6 0 2、筐体 2 6 0 3、外部接続ポート 2 6 0 4、リモコン受信部 2 6 0 5、受像部 2 6 0 6、バッテリー 2 6 0 7、音声入力部 2 6 0 8、操作キー 2 6 0 9 等を含む。本発明の発光装置は表示部 2 6 0 2 に用いることができる。

【 0 2 7 8 】

ここで図 1 5 (H) は携帯電話であり、本体 2 7 0 1、筐体 2 7 0 2、表示部 2 7 0 3、音声入力部 2 7 0 4、音声出力部 2 7 0 5、操作キー 2 7 0 6、外部接続ポート 2 7 0 7、アンテナ 2 7 0 8 等を含む。本発明の発光装置は表示部 2

703に用いることができる。なお、表示部2703は黒色の背景に白色の文字を表示することで携帯電話の消費電力を抑えることができる。

【0279】

なお、将来的に電場を加えることで発生するルミネッセンスが得られる有機化合物材料の発光輝度が高くなれば、出力した画像情報を含む光をレンズ等で拡大投影してフロント型若しくはリア型のプロジェクターに用いることも可能となる。

【0280】

また、上記電子機器はインターネットやCATV（ケーブルテレビ）などの電子通信回線を通じて配信された情報を表示することが多くなり、特に動画情報を表示する機会が増してきている。有機化合物材料の応答速度は非常に高いため、発光装置は動画表示に好ましい。

【0281】

また、発光装置は発光している部分が電力を消費するため、発光部分が極力少なくなるように情報を表示することが望ましい。従って、携帯情報端末、特に携帯電話や音響再生装置のような文字情報を主とする表示部に発光装置を用いる場合には、非発光部分を背景として文字情報を発光部分で形成するように駆動することが望ましい。

【0282】

以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に用いることが可能である。また、本実施例の電子機器は実施例1～10に示したいずれの構成の発光装置を用いても良い。

【0283】

【発明の効果】

本発明の発光装置では、複数の画素の発光素子が一齐に非発光状態から発光状態になるのは、書き込み期間が終了して発光期間が開始される瞬間のみである。よって、複数の画素の発光素子が一齐に非発光状態から発光状態になる瞬間が、どのような階調を表示する場合でも、1フレーム期間中に1回以下しか現れなくなる。したがって、複数の画素の発光素子が一齐に非発光状態から発光状態にな

ることによる発光素子の輝度の一時的な低下の回数を抑え、画面のちらつきを低減することができる。

【 0 2 8 4 】

また中間階調の表示を行う際、連続して出現するフレーム期間において、発光素子が発光している期間が続けて出現することがなく、動画擬似輪郭の発生を防ぐことができる。

【図面の簡単な説明】

- 【図 1】 本発明の発光装置の画素の回路図。
- 【図 2】 本発明の発光装置の駆動方法を示す図。
- 【図 3】 本発明の発光装置の画素の回路図。
- 【図 4】 本発明の発光装置の画素の回路図。
- 【図 5】 本発明の駆動方法のタイミングチャート。
- 【図 6】 第 1 メモリまたは第 2 メモリの等価回路図。
- 【図 7】 カウンタ回路の回路図。
- 【図 8】 フリップフロップ回路の論理記号及び等価回路図。
- 【図 9】 ハーフアダー回路の論理記号及び等価回路図。
- 【図 1 0】 ソース信号線駆動回路及びゲート信号線駆動回路のブロック図。
- 【図 1 1】 T F T の作成工程を示す図。
- 【図 1 2】 T F T の作成工程を示す図。
- 【図 1 3】 T F T の作成工程を示す図。
- 【図 1 4】 T F T の作成工程を示す図。
- 【図 1 5】 本発明の発光装置を用いた電子機器の図。
- 【図 1 6】 一般的な画素の回路図。
- 【図 1 7】 一般的な画素の駆動方法を示す図。
- 【図 1 8】 有機 T F T の断面図。
- 【図 1 9】 本発明の発光装置の上面図。
- 【図 2 0】 本発明の発光装置の上面図。

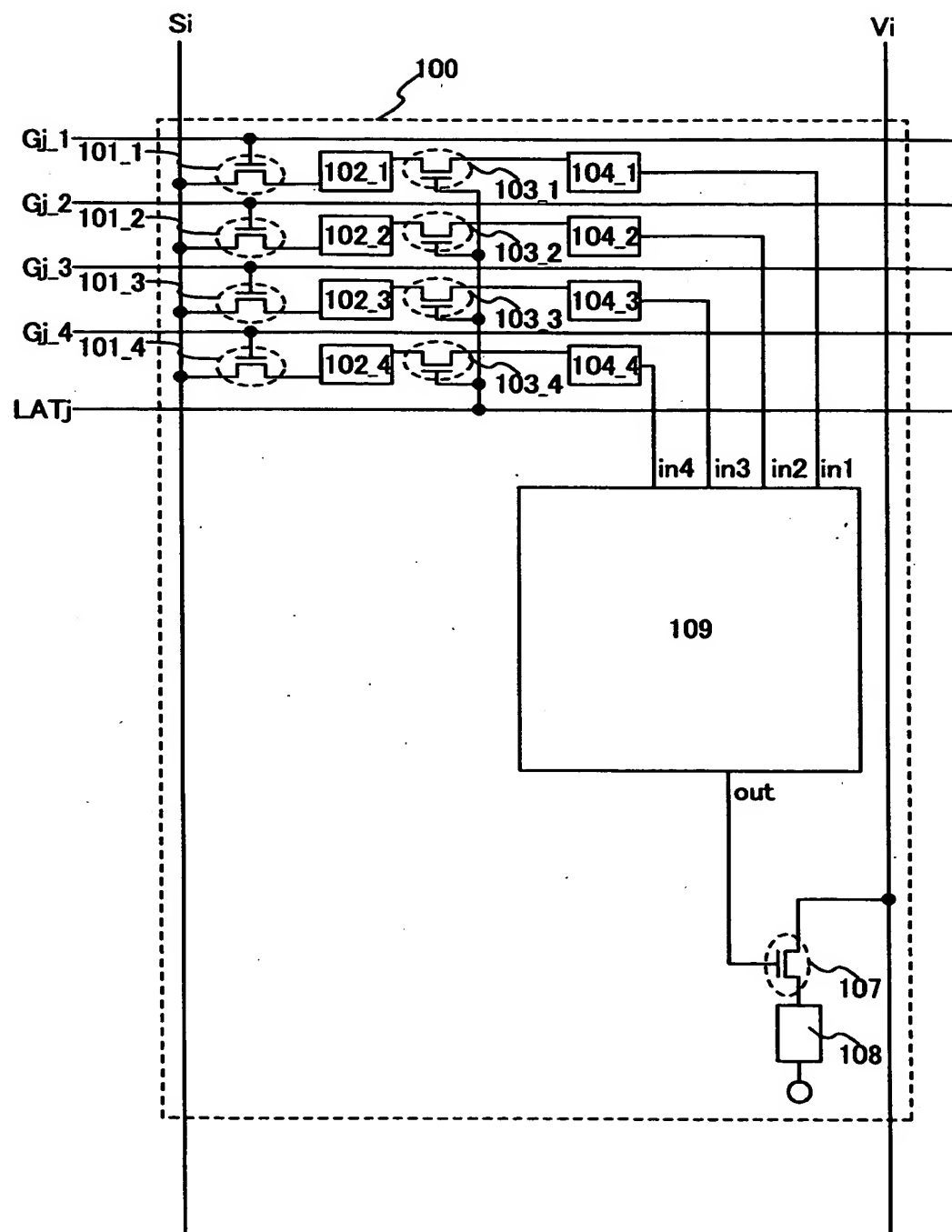
【符号の説明】

1 0 0 画素

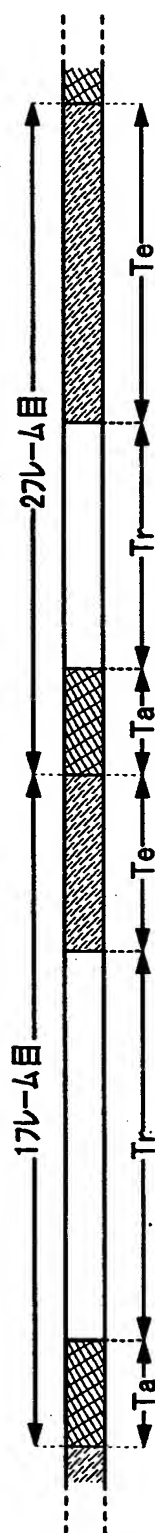
- 101_1~101_4 第1スイッチング用TFT
- 102_1~102_4 第1メモリ
- 103_1~103_4 第2スイッチング用TFT
- 104_1~104_4 第2メモリ
- 105 表示信号生成部
- 106 カウンタ回路
- 107 電流制御用TFT
- 108 発光素子

【書類名】 図面

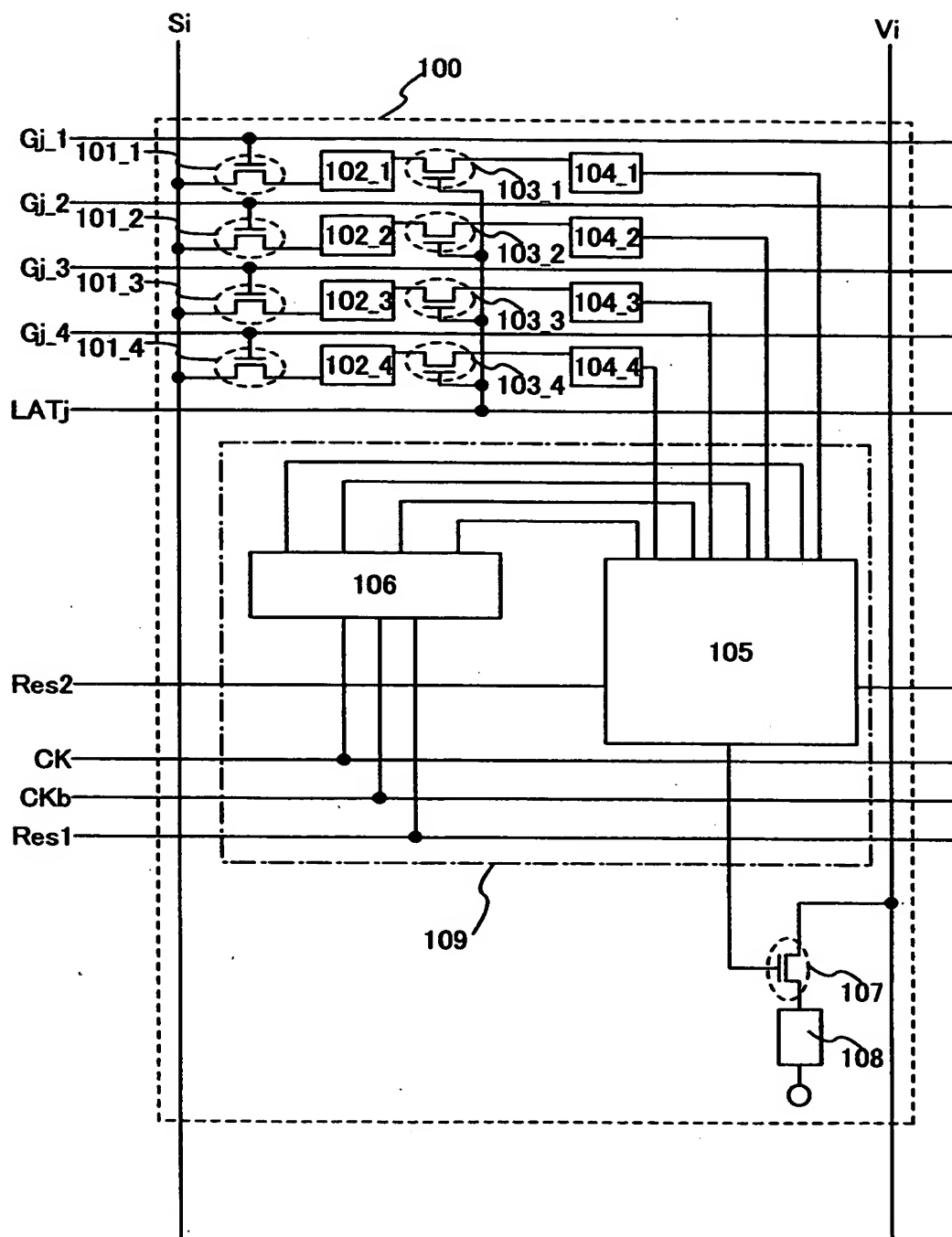
【図 1】



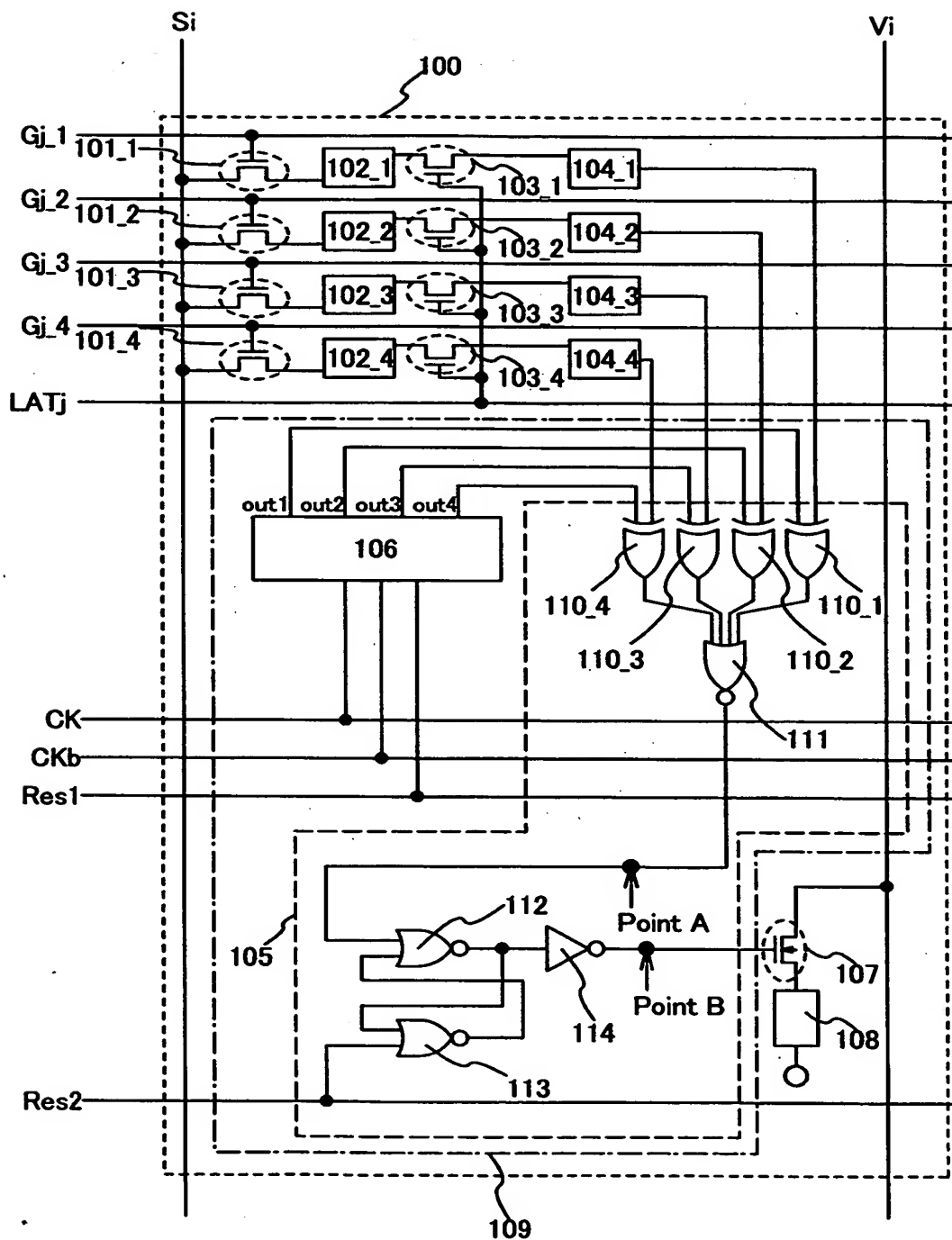
【図 2】



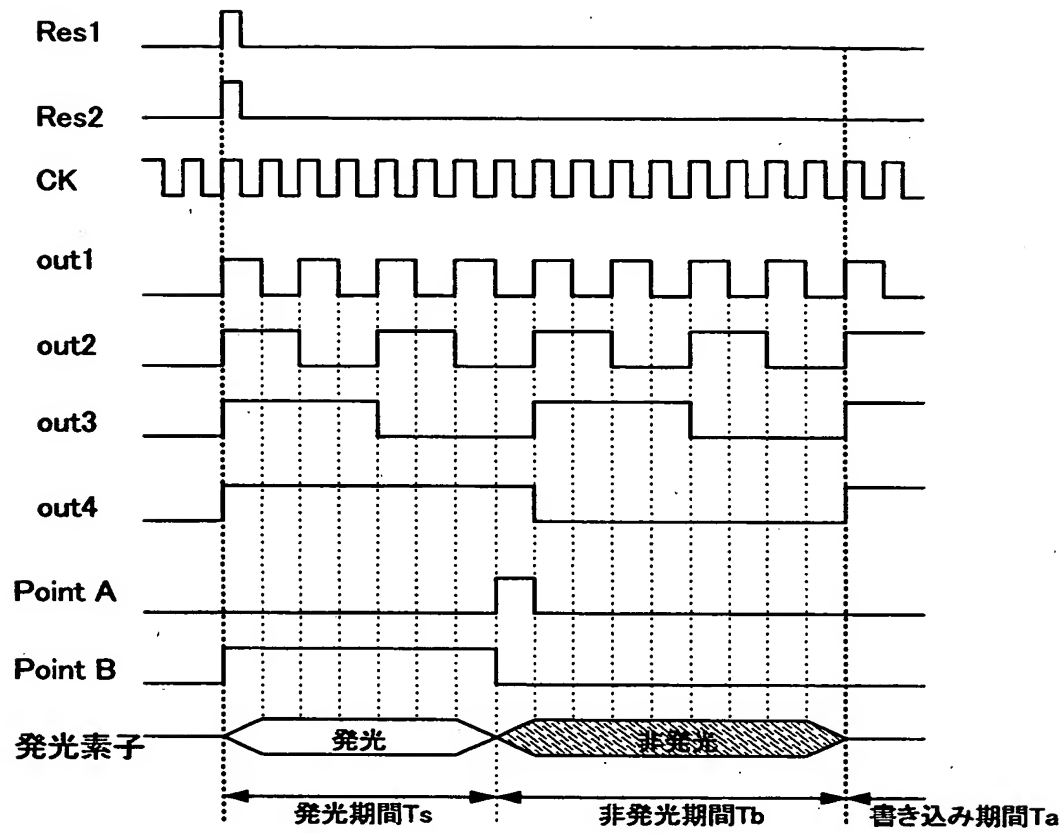
【図 3】



【図 4】

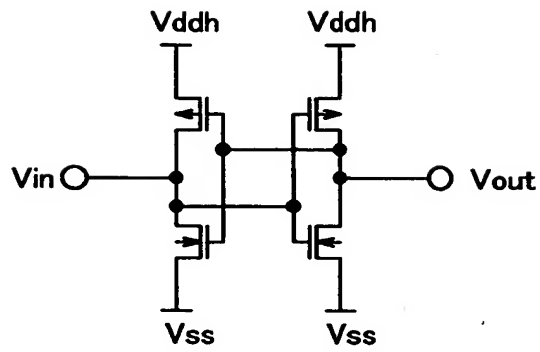


【図5】

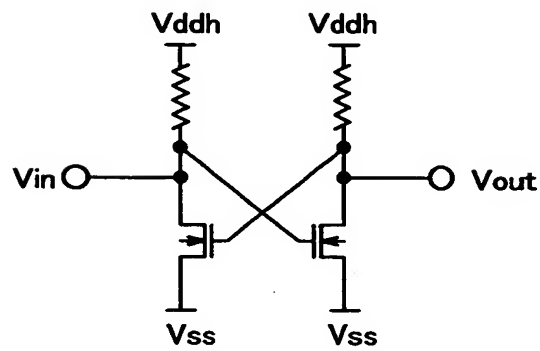


【図 6】

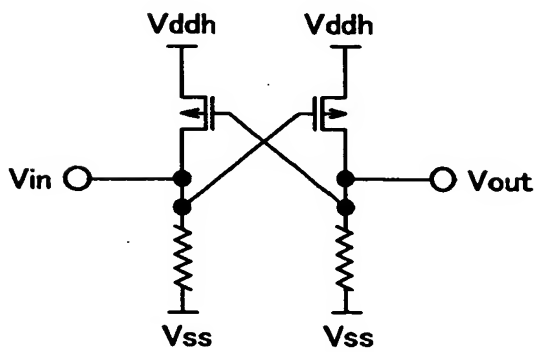
(A)



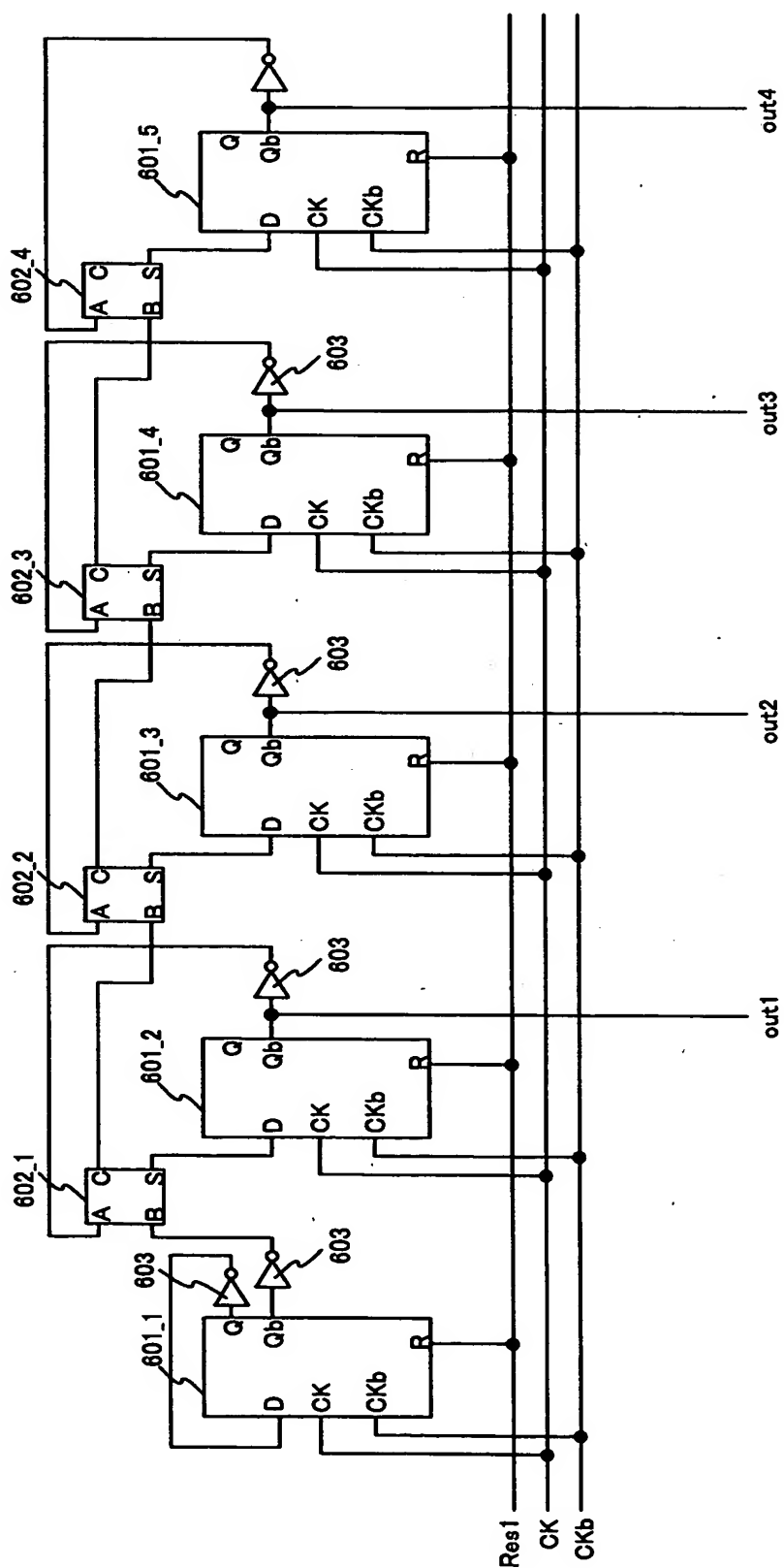
(B)



(C)

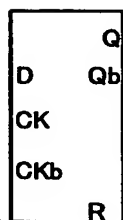


【図 7】

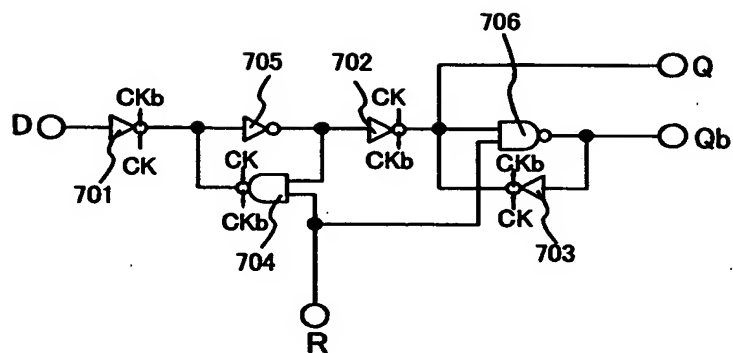


【図 8】

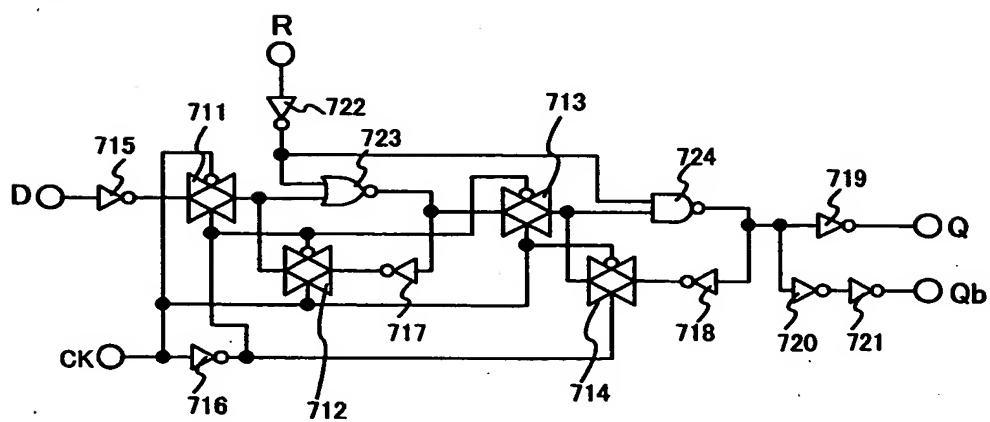
(A)



(B)



(C)

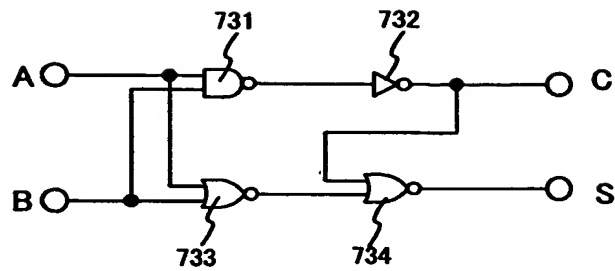


【図 9】

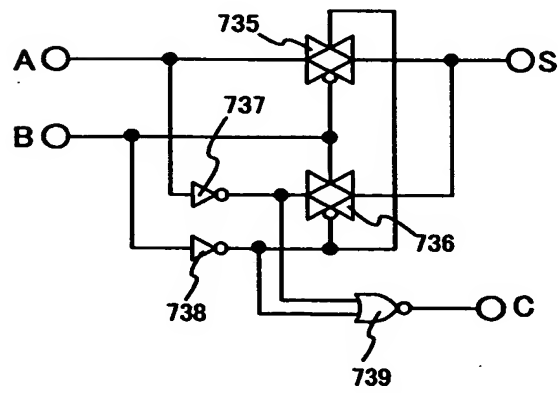
(A)



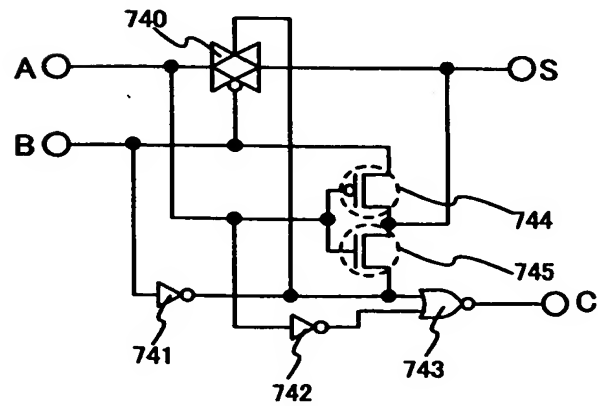
(B)



(C)

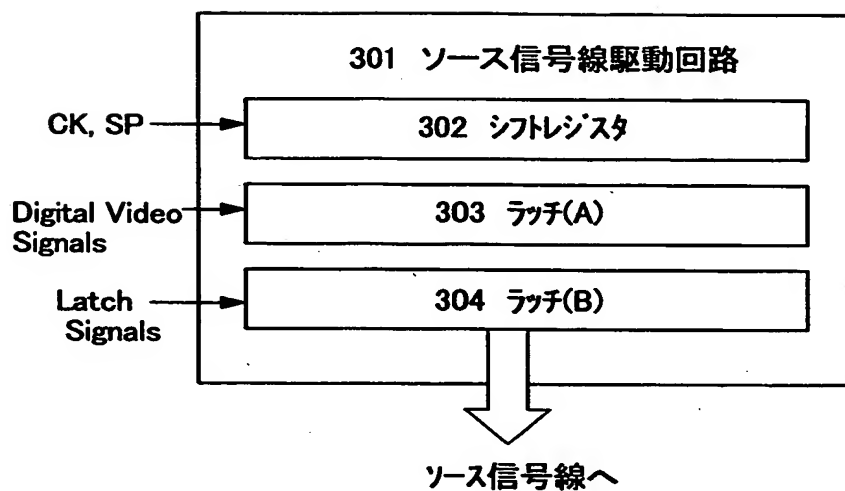


(D)

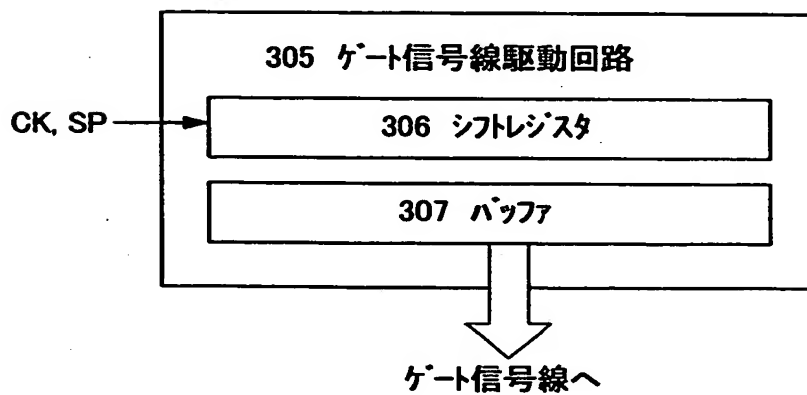


【図 1 0】

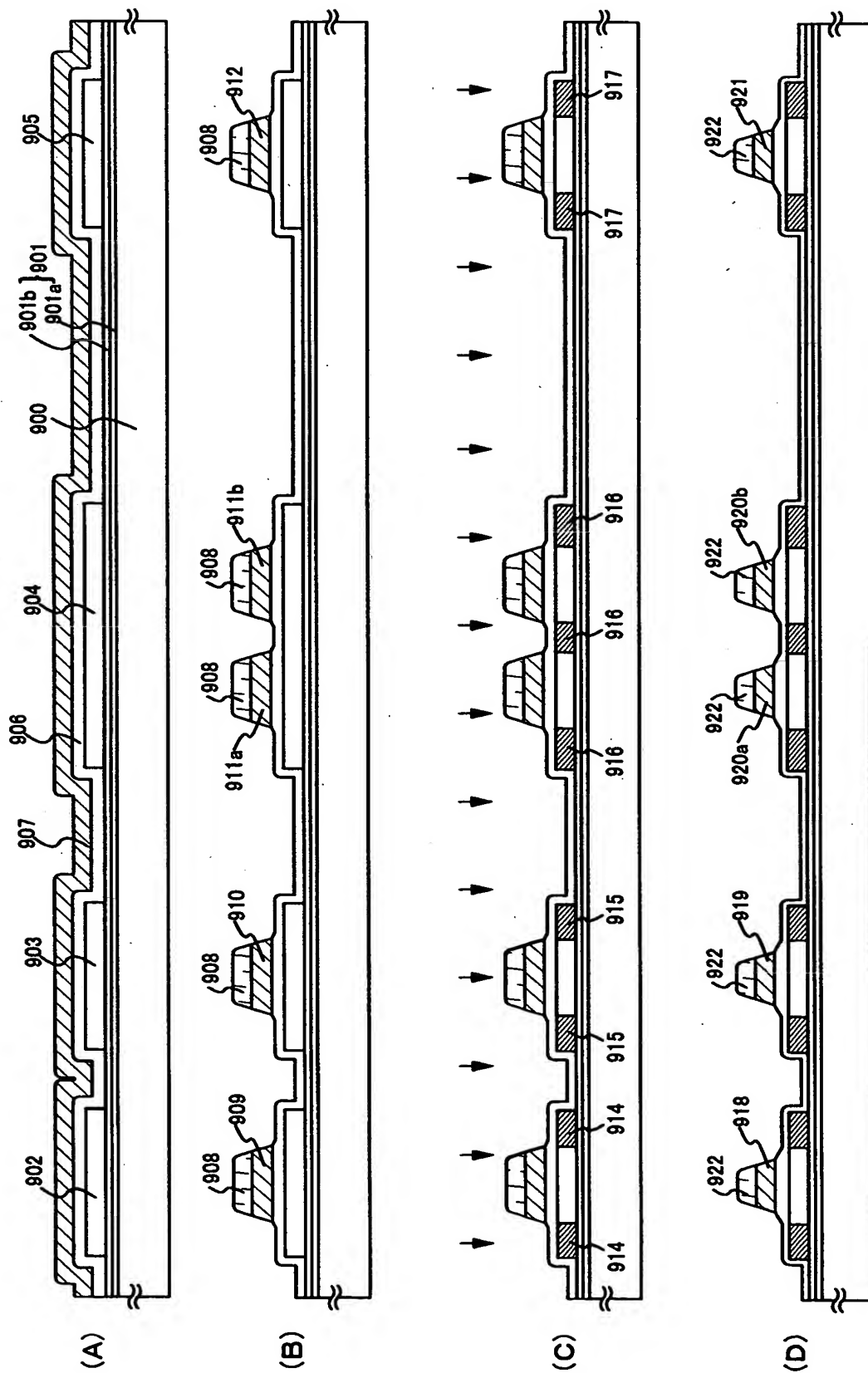
(A)



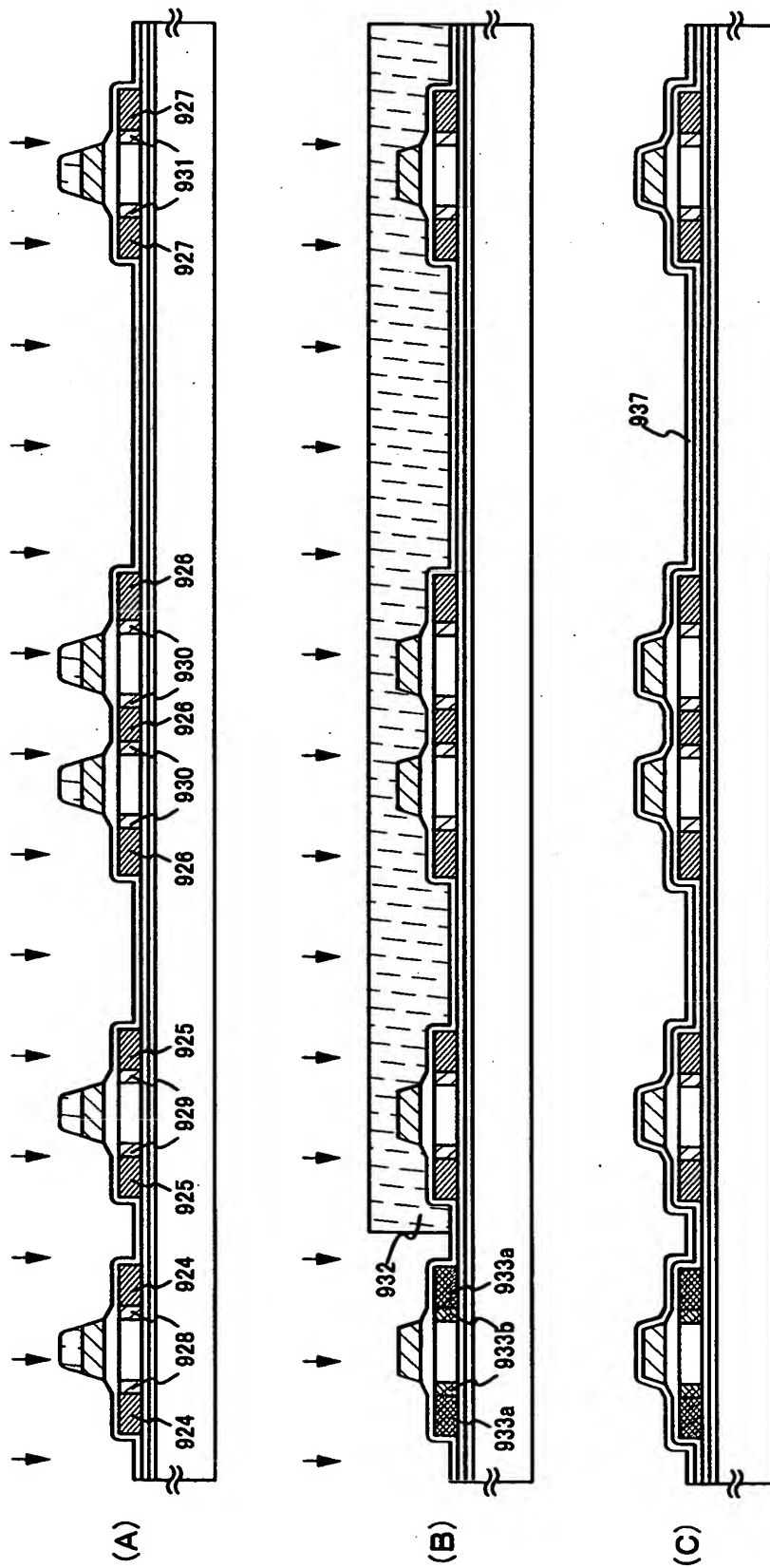
(B)



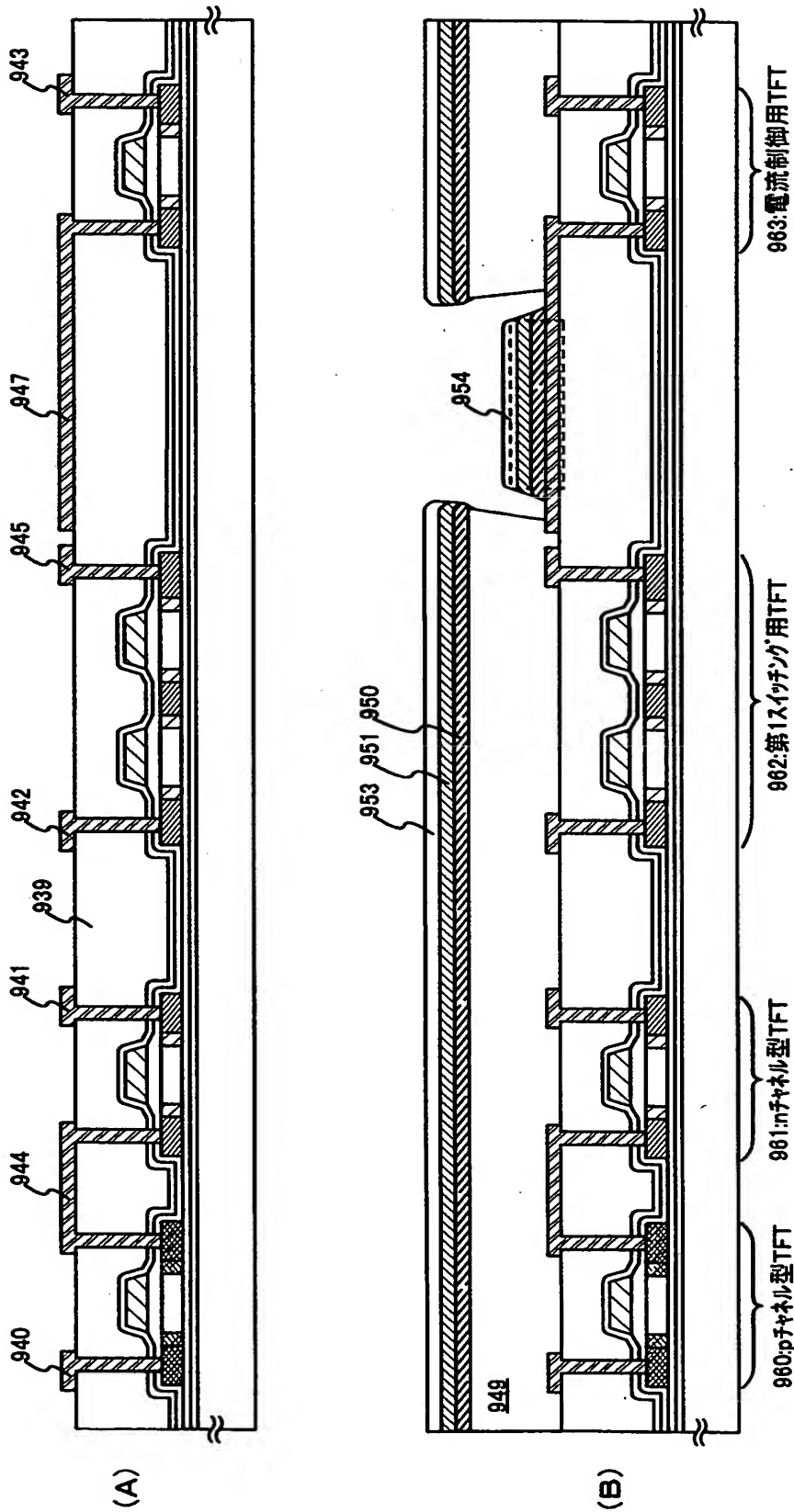
【 図 1 1 】



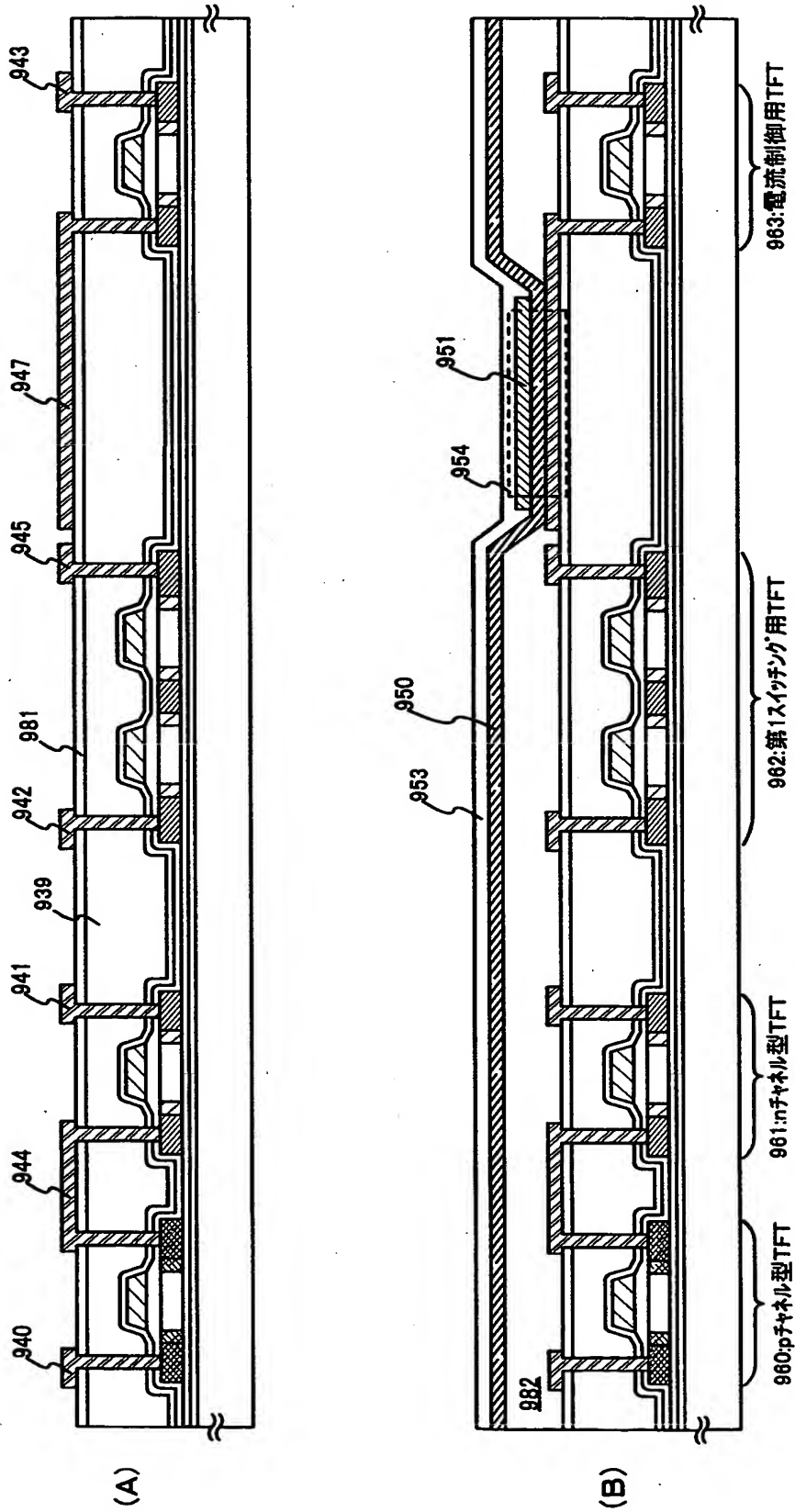
【図 1 2】



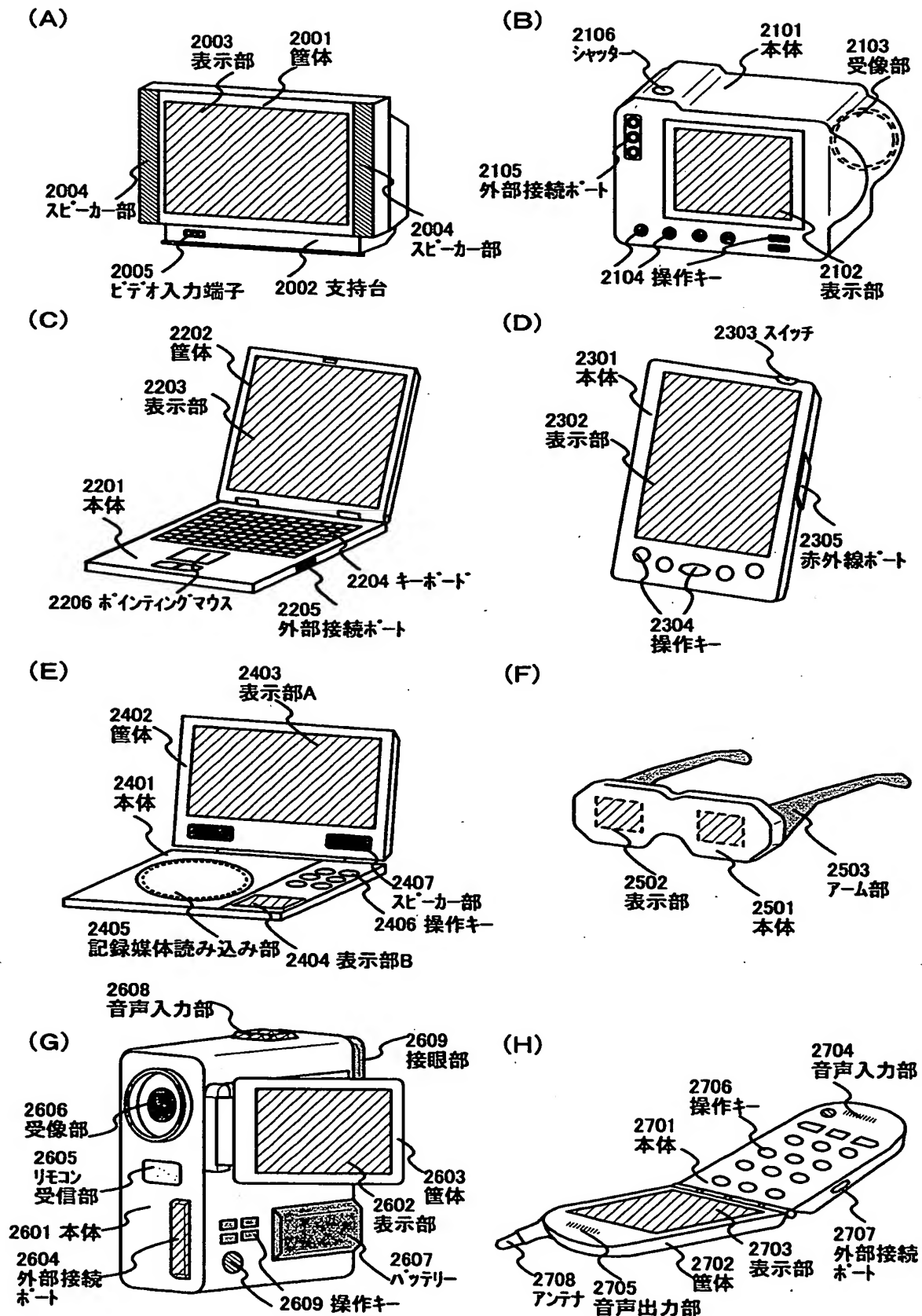
【図 1 3】



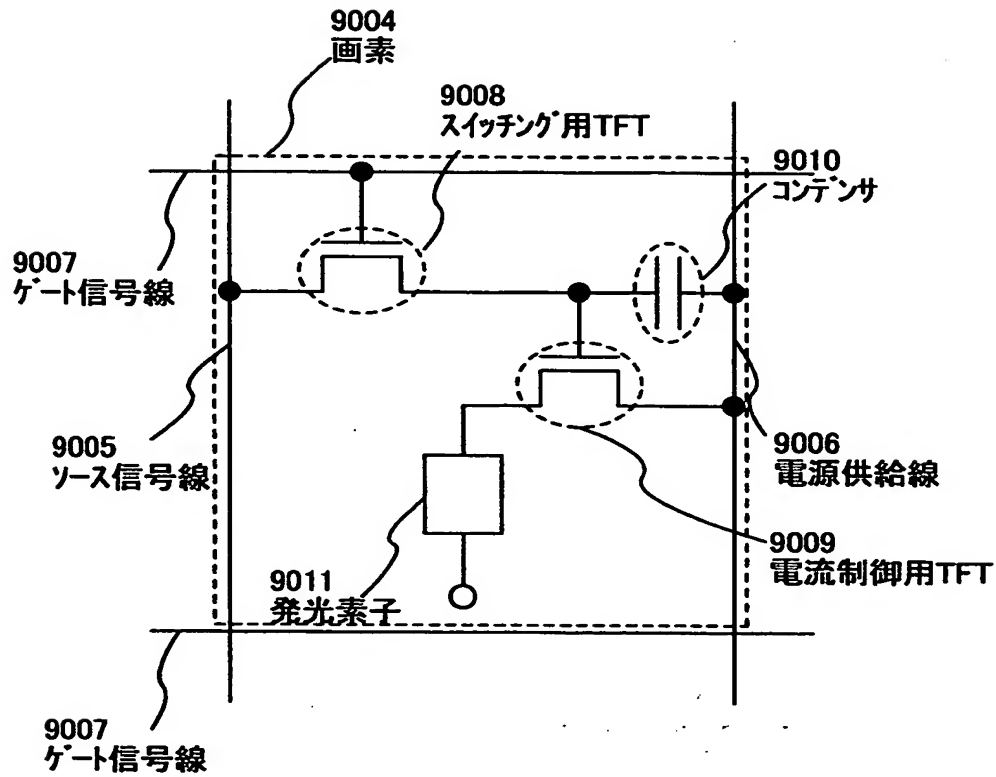
【図 14】



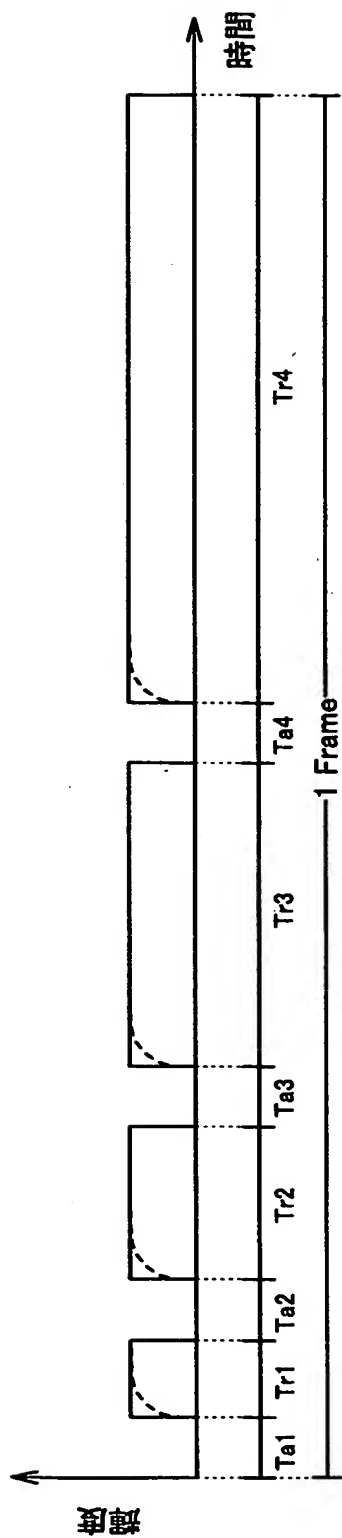
【図15】



【図 16】

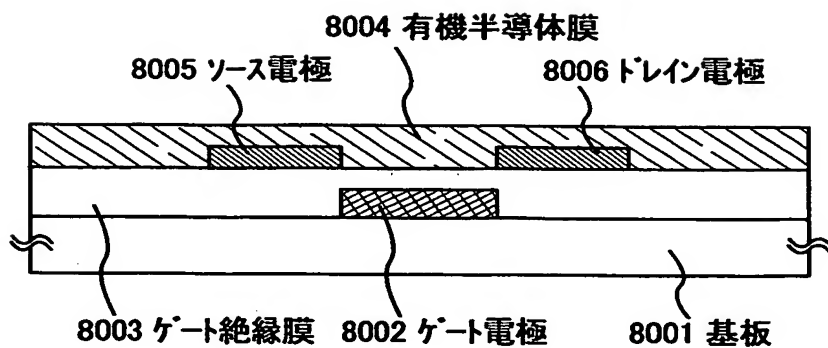


【図 17】

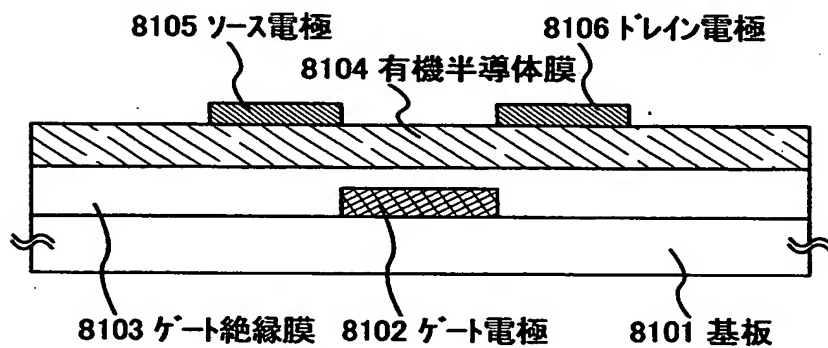


【図 1 8】

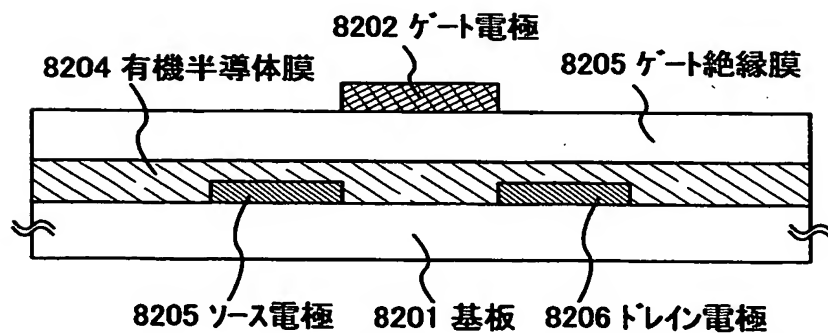
(A)



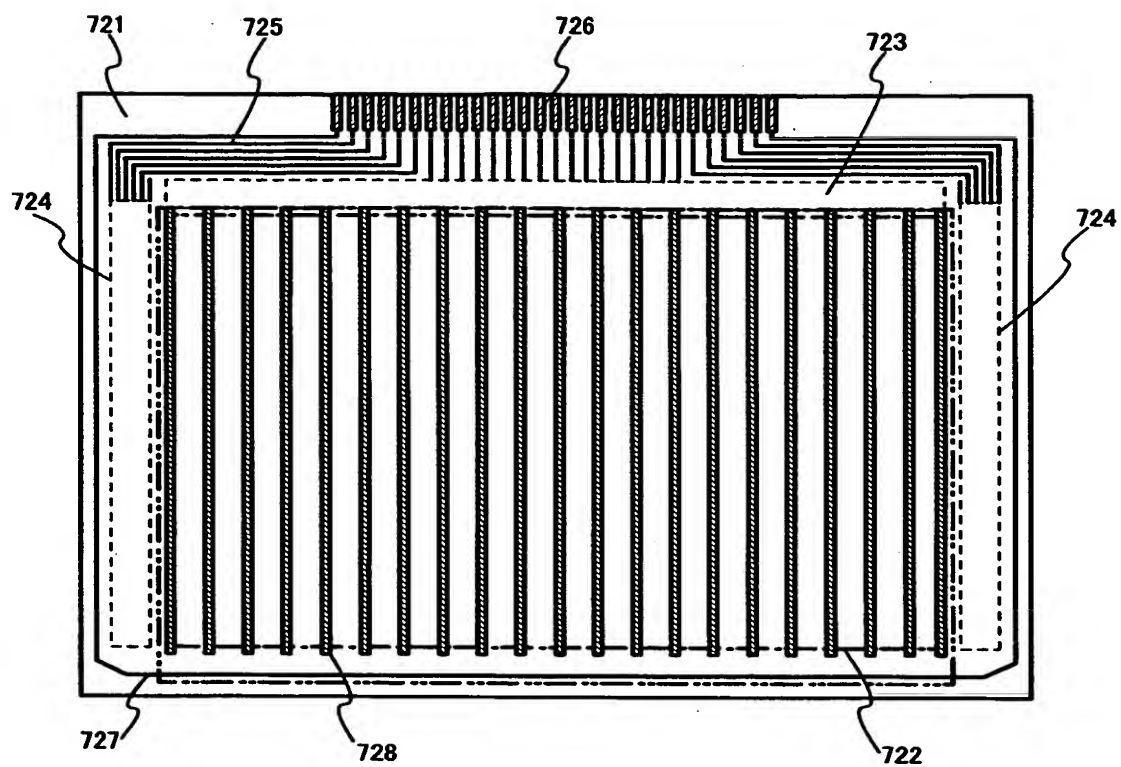
(B)



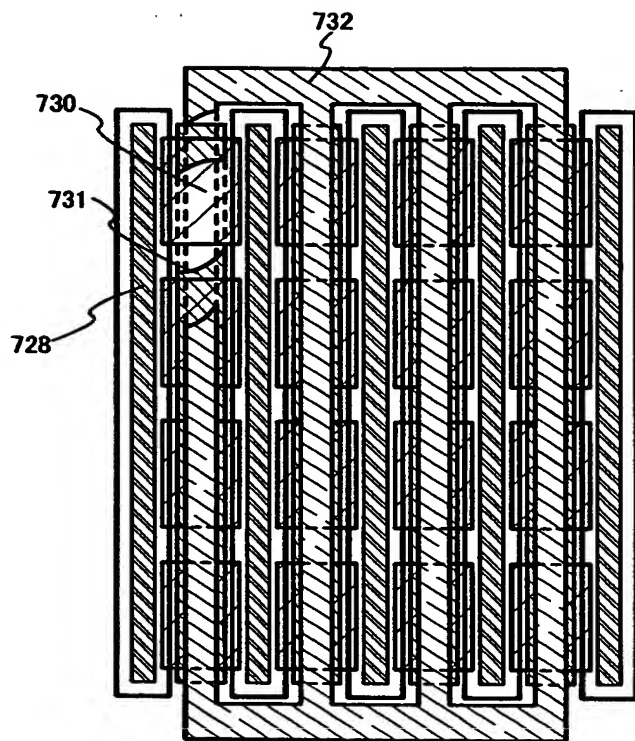
(C)



【図 1 9】



【図 2 0】



【書類名】 要約書

【要約】

【課題】 画面のちらつきを抑えることができる発光装置を提供する。

【解決手段】 本発明では各画素にメモリを設け、フレーム期間開始時に、全ビットのデジタルビデオ信号を該メモリに書き込む。そして、当該フレーム期間において、全ビットのデジタルビデオ信号が有する情報に基づいて、発光素子を所定の期間だけ連続して発光させるようにした。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000153878]

1. 変更年月日 1990年 8月17日

[変更理由] 新規登録

住 所 神奈川県厚木市長谷398番地

氏 名 株式会社半導体エネルギー研究所